

WEST☐ Generate Collection

L1: Entry 1 of 1

File: DWPI

Jun 25, 1996

DERWENT-ACC-NO: 1996-352499

DERWENT-WEEK: 199635

COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Film thickness setting up method for electromagnetic field coupling type thin film stacked transmission line - sets up film thickness of each conductive layer accepting topmost one to be lesser than outer skin depth when transmission line conducts signal line in normal use frequency range

PATENT-ASSIGNEE: MURATA MFG CO LTD (MURA)

PRIORITY-DATA: 1994JP-0310900 (December 14, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<u>JP 08167804 A</u>	June 25, 1996		042	H01P003/18

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP08167804A	December 14, 1994	1994JP-0310900	

INT-CL (IPC): H01 P 1/20; H01 P 1/203; H01 P 1/208; H01 P 3/08; H01 P 3/18; H01 P 7/08; H01 P 7/10

ABSTRACTED-PUB-NO: JP08167804A

BASIC-ABSTRACT:

The method is applied where a set of dielectric thin films (30-1 - 30-4) are alternately layered with a set of electrically conductive thin films (1-5). This structure is mounted over a dielectric substrate (10) and flanked on either side with input (12) and output (13) terminals. The alternating arrangement of dielectric and conductive thin films constitute a thin film and stacked type electrode. The alternating pairs of the dielectric and conductive films configure distinct transmission lines.

Film thickness and relative permittivity of each dielectric film is set up such that phase velocity of each TEM wave spreading through adjacent transmission lines become in phase. Thickness of each electrically conductive layer excepting the topmost layer is set up such that it is lesser than skin depth of the adjacent transmission lines when the transmission is in mutually conducting state with respect to standard use frequency.

USE/ADVANTAGE - In half wavelength linear resonator of high frequency device e.g. high frequency filter. Reduces conduction loss in high frequency transmission line. Reduces surface resistance loss. Raises no load 'Q' value of high frequency resonator.

ABSTRACTED-PUB-NO: JP08167804A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg. 1/34

DERWENT-CLASS: W02

EPI-CODES: W02-A01A3; W02-A01B4; W02-A03A4; W02-A03A5; W02-A05A2; W02-A05B1;

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-167804

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

H01P 3/18
H01P 1/20
H01P 1/203
H01P 1/208
H01P 3/08
H01P 7/08
H01P 7/10

(21)Application number : 06-310900

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 14.12.1994

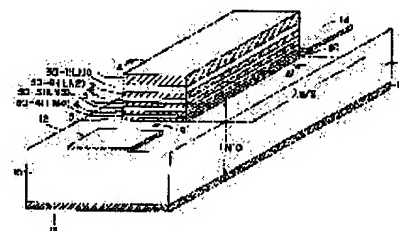
(72)Inventor : ISHIKAWA YOHEI
HIDAKA SEIJI
ISE TOMOYUKI
GOTO YOSHIHIKO

(54) HIGH FREQUENCY ELECTROMAGNETIC FIELD COUPLING TYPE THIN FILM LAMINATED ELECTRODE, HIGH FREQUENCY TRANSMISSION LINE, HIGH FREQUENCY RESONATOR, HIGH FREQUENCY FILTER, HIGH FREQUENCY DEVICE, AND METHOD FOR SETTING UP FILM THICKNESS OF THE ELECTRODE

(57)Abstract:

PURPOSE: To reduce the loss of a conductor by simple structure by forming an electromagnetic field coupling type thin film laminated transmission line using a high frequency electromagnetic field coupling type thin film laminated electrode on which thin film conductors and thin film dielectrics are alternately laminated.

CONSTITUTION: A band-like thin film conductor 5 having longitudinal length of $\lambda/2$ (λ : intra-conduit wavelength) is formed on a dielectric substrate 10. A main transmission line LN 10 is constituted of conductors 5, 11 and the substrate 10 held between the conductors 5, 11. Then a thin film dielectric 30-4, a thin film conductor 4, a thin film dielectric 30-3, a thin film conductor 3, a thin film dielectric 30-2, a thin trim conductor 2, a thin film dielectric 30-1, and a thin film conductor 1 are successively laminated on the conductor 5. Then an input terminal conductor 12 and an output terminal conductor 13 are formed on the substrate 10 with respective gaps g1, g2 from the conductor 5 so as to be electromagnetically mutually coupled.



LEGAL STATUS

[Date of request for examination]

25.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-167804

(43) 公開日 平成8年(1996)6月25日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	3/18			
	1/20	A		F31-32
	1/203			F30
	1/208			F31-32
	3/08			

審査請求 未請求 請求項の数27 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願平6-310900

(22) 出願日 平成6年(1994)12月14日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石川 容平

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 日高 青路

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 伊勢 智之

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 弁理士 青山 葆 (外2名)

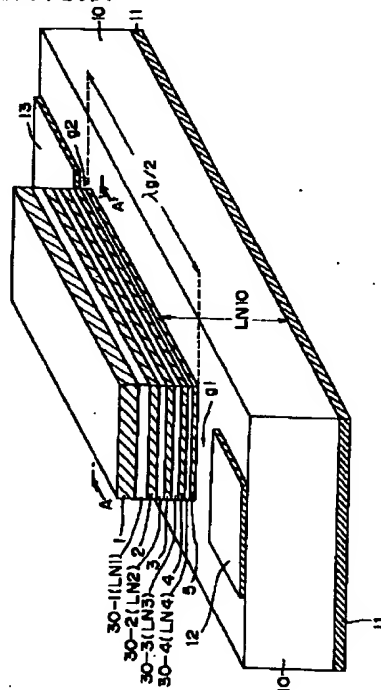
最終頁に続く

(54) 【発明の名称】 高周波電磁界結合型薄膜積層電極、高周波伝送線路、高周波共振器、高周波フィルタ、高周波デバイス及び高周波電磁界結合型薄膜積層電極の膜厚設定方法

(57) 【要約】

【目的】 導体損失を大幅に低減した高周波電磁界結合型薄膜積層電極、並びに高周波伝送線路、高周波共振器、高周波フィルタ、高周波デバイス及び高周波電磁界結合型薄膜積層電極の膜厚設定方法を提供する。

【構成】 誘電体を1対の導体によって挟設して構成された第1の伝送線路上に形成するための薄膜積層電極であって、薄膜積層電極は、薄膜導体と薄膜誘電体とが交互に積層され、薄膜誘電体を挟設する1対の薄膜導体によってそれぞれ構成される第2の伝送線路が積層されており、第1の伝送線路と第2の伝送線路を伝搬する各TEM波の位相速度を、互いに実質的に一致させるように各薄膜誘電体の膜厚と誘電率を設定し、かつ最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くし最上層以外の薄膜導体の膜厚を表皮深さよりも薄くして第1の伝送線路と第2の伝送線路の各電磁界が互いに結合するように設定される。



【特許請求の範囲】

【請求項1】 誘電体を1対の導体によって挟設して構成された第1のTEMモード伝送線路上に形成するための薄膜積層電極であって、

上記薄膜積層電極は、上記誘電体の一方の側に形成される導体を最下層の薄膜導体として形成されて含み、薄膜導体と薄膜誘電体とを交互に積層することによって、上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される少なくとも1つの第2のTEMモード伝送線路が積層されてなり、

上記第1のTEMモード伝送線路を伝搬するTEM波の位相速度と、上記第2のTEMモード伝送線路を伝搬するTEM波の位相速度とを、互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を設定し、かつ上記第2のTEMモード伝送線路の最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに上記最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして上記第1のTEMモード伝送線路の電磁界と、上記第2のTEMモード伝送線路の電磁界が互いに結合するように設定されたことを特徴とする高周波電磁界結合型薄膜積層線路。

【請求項2】 上記最上層の薄膜導体の膜厚を使用周波数の表皮深さの $\pi/2$ 倍にしたことを特徴とする請求項1記載の高周波電磁界結合型薄膜積層電極。

【請求項3】 上記最下層から最上層までの上記各薄膜導体の膜厚を上層ほど厚くしたことを特徴とする請求項1又は2記載の高周波電磁界結合型薄膜積層電極。

【請求項4】 上記薄膜導体は超電導材料にてなることを特徴とする請求項1、2又は3記載の高周波電磁界結合型薄膜積層電極。

【請求項5】 少なくとも1つの導体を備えた高周波伝送線路であって、

上記導体を、薄膜導体と薄膜誘電体とを交互に積層することによって上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される複数のTEMモード伝送線路が積層されてなる薄膜積層電極で構成し、

上記複数のTEMモード伝送線路のうちの少なくとも2つを伝搬する各TEM波の位相速度を互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を設定し、かつ上記各薄膜導体のうちの最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして上記複数のTEMモード伝送線路のうちの少なくとも2つの電磁界が互いに結合するように設定されたことを特徴とする高周波伝送線路。

【請求項6】 上記高周波伝送線路は導波管であることを特徴とする請求項5記載の高周波伝送線路。

【請求項7】 第1の伝送線路と、薄膜導体と薄膜誘電体とを交互に積層することによって上記薄膜誘電体を挟設する1対の上記薄膜導体によって

構成された少なくとも1つのTEMモードの第2の伝送線路とを備えた高周波伝送線路であって、

上記第1の伝送線路を伝搬する電磁波の位相速度と、上記第2の伝送線路を伝搬するTEM波の位相速度とを互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を設定し、かつ上記各薄膜導体のうちの最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして、上記第1の伝送線路の電磁界と、上記第2の伝送線路の少なくとも1つの電磁界とが互いに結合するように設定されたことを特徴とする高周波伝送線路。

【請求項8】 上記第2の伝送線路を構成する薄膜誘電体の実効誘電率は、上記第1の伝送線路を構成する誘電体の実効誘電率よりも低いことを特徴とする請求項7記載の高周波伝送線路。

【請求項9】 上記第2の伝送線路を構成する薄膜誘電体の厚さは、上記第1の伝送線路を構成する誘電体の厚さよりも薄いことを特徴とする請求項7記載の高周波伝送線路

【請求項10】 最下層から最上層までの上記各薄膜導体の膜厚を上層ほど厚くしたことを特徴とする請求項5乃至9のうちの1つに記載の高周波伝送線路。

【請求項11】 上記薄膜導体は超電導材料にてなることを特徴とする請求項5乃至9のうちの1つに記載の高周波伝送線路。

【請求項12】 上記高周波伝送線路はマイクロストリップ線路であることを特徴とする請求項7乃至11のうちの1つに記載の高周波伝送線路。

【請求項13】 上記マイクロストリップ線路は、誘電体基板の第1の面上に上記第2の伝送線路がストリップ導体として形成される一方、上記誘電体基板の第2の面上に接地導体が形成されたことを特徴とする請求項12記載の高周波伝送線路。

【請求項14】 上記マイクロストリップ線路は、誘電体基板の第1の面上に上記第2の伝送線路がストリップ導体として形成される一方、上記誘電体基板の第2の面上に別の上記第2の伝送線路が接地導体として形成されたことを特徴とする請求項12記載の高周波伝送線路。

【請求項15】 上記高周波伝送線路はストリップ線路であることを特徴とする請求項7乃至11のうちの1つに記載の高周波伝送線路。

【請求項16】 上記高周波伝送線路は同軸線路であることを特徴とする請求項7乃至11のうちの1つに記載の高周波伝送線路。

【請求項17】 所定の寸法を有する、請求項5乃至16のうちの1つに記載の高周波伝送線路を備えたことを特徴とする高周波共振器。

【請求項18】 上記高周波伝送線路は、上記高周波伝送線路を伝送する信号の管内波長の $1/4$ に等しい伝送

方向の長さを有することを特徴とする請求項17記載の高周波共振器。

【請求項19】 上記高周波伝送線路は、上記高周波伝送線路を伝送する信号の管内波長の $1/2$ に等しい伝送方向の長さを有することを特徴とする請求項17記載の高周波共振器。

【請求項20】 所定の長さを有する請求項17乃至19のうちの1つに記載の高周波共振器と、
上記高周波共振器に高周波信号を入力する入力端子と、
上記高周波共振器から高周波信号を出力する出力端子とを備えたことを特徴とする高周波フィルタ。

【請求項21】 一端で高周波信号を入力しかつ他端で上記高周波信号を出力する伝送線路と、
上記伝送線路と結合する請求項17乃至19のうちの1つに記載の高周波共振器とを備えたことを特徴とする高周波帯域除去フィルタ。

【請求項22】 導体を含む共振器ケースと、上記共振器ケース内に載置された所定の形状の誘電体とを備えた誘電体共振器であって、
上記導体を請求項1乃至4のうちの1つに記載の高周波電磁界結合型薄膜積層電極によって構成したことを特徴とする誘電体共振器。

【請求項23】 請求項22記載の誘電体共振器と、
上記誘電体共振器に電磁的に結合され、上記誘電体共振器に高周波信号を入力する入力端子と、
上記誘電体共振器に電磁的に結合され、上記誘電体共振器から高周波信号を出力する出力端子とを備えたことを特徴とする高周波フィルタ。

【請求項24】 電極を備えて所定の高周波動作を行う高周波デバイスであって、
上記電極は、請求項1乃至4のうちの1つに記載の高周波電磁界結合型薄膜積層電極を有することを特徴とする高周波デバイス。

【請求項25】 誘電体を1対の導体によって挟設して構成された第1のTEMモード伝送線路上に形成するための薄膜積層電極であって、上記誘電体の一方の側に形成される導体を最下層の薄膜導体として形成されて含み、同一の導電率を有する薄膜導体と同一の誘電率を有する薄膜誘電体とを交互に積層することによって、上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される少なくとも1つの第2のTEMモード伝送線路が積層されてなる薄膜積層電極の膜厚設定方法であって、
予め入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記各薄膜導体のうちの最上層の第1の薄膜導体の上面から空気層を見たときの空気層のインピーダンスを計算するステップと、
予め入力された正の実数である上記第1の薄膜導体の膜厚と上記計算された空気層のインピーダンスとに基づいて、上記第1の薄膜導体の下面から上面方向を見たとき

の第1の薄膜導体の第1の表面インピーダンスを計算するステップと、

上記計算された第1の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記入力された上記薄膜導体の使用周波数の表皮深さとに基づいて、上記第1のTEMモード伝送線路を伝搬するTEM波の位相速度と、第2のTEMモード伝送線路を伝搬するTEM波の位相速度とを互いに実質的に一致させる条件のもとで上記第1の薄膜導体の下面に形成される第1の薄膜誘電体の膜厚を計算するステップと、

上記計算された第1の表面インピーダンスと、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1の薄膜導体の下面に上記第1の薄膜誘電体を介して形成される第2の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線路の電磁界と上記第2のTEMモード伝送線路の電磁界が互いに結合する条件のもとで、上記第1の薄膜導体の下面に上記第1の薄膜誘電体を介して形成される第2の薄膜導体の膜厚を計算するステップと、

上記計算された上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚に基づいて、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚を設定するステップとを含むことを特徴とする高周波電磁界結合型薄膜積層電極の膜厚設定方法。

【請求項26】 上記膜厚設定方法はさらに、
上記第1の薄膜導体とは異なる薄膜導体の下面から上面方向を見たときの第2の表面インピーダンスを計算するときに、上記第1の薄膜導体と異なる薄膜導体の計算された膜厚に基づいて、上記第1の薄膜導体と異なる薄膜導体の下面から上面方向を見たときの第2の表面インピーダンスを計算するステップと、

上記計算された第2の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記入力された上記薄膜導体の使用周波数の表皮深さとに基づいて、上記第1のTEMモード伝送線路を伝搬するTEM波の位相速度と、第2のTEMモード伝送線路を伝搬するTEM波の位相速度とを互いに実質的に一致させる条件のもとで、上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚を計算するステップと、

上記計算された第2の表面インピーダンスと、上記入力された上記薄膜導体の表皮深さに基づいて、上記第2の表面インピーダンスが計算された薄膜導体の下面に上記薄膜誘電体を介して形成される薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線路の電磁界と上記第2のTEMモード伝送線路の電磁界が互いに結合する条件のもとで、上記第2の表面インピー

ダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚を計算するステップと、上記第2の表面インピーダンスを計算するステップと、上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚を計算するステップと、上記第2の表面インピーダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚を計算するステップとを、上記最下層の薄膜導体の膜厚が計算されるまで繰り返すことによって上記各薄膜誘電体の膜厚と上記各薄膜導体の膜厚とを計算するステップと、

上記計算された上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚に基づいて、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚を設定するステップとを含むことを含むことを特徴とする請求項25記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法。

【請求項27】 上記最上層の第1の薄膜導体の膜厚は、上記使用周波数の表皮深さの $\pi/2$ 倍であることを特徴とする請求項25又は26記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ波、準ミリ波又はミリ波の高周波帯において用いられる高周波電磁界結合型薄膜積層電極、上記高周波電磁界結合型薄膜積層電極を用いた高周波伝送線路、上記高周波伝送線路を用いた高周波共振器、上記高周波共振器を備えた高周波フィルタ、上記高周波電磁界結合型薄膜積層電極を備えた高周波デバイス、並びに上記高周波電磁界結合型薄膜積層電極の膜厚設定方法に関する。

【0002】

【従来の技術】近年、電子部品の小型化が進む中、マイクロ波、準ミリ波又はミリ波などの高周波帯においても高い誘電率を有する材料を用いることによって、デバイスの小型化がなされてきた。デバイスの小型化を行う場合、誘電率を大きくする一方、相似形として形状を縮小させると、原理的には体積の立方根に反比例してエネルギー損失が増大するという問題点があった。

【0003】高周波デバイスのエネルギー損失は、表皮効果による導体損失と、誘電体材料による誘電体損失とに大きく分類することができる。近年の誘電体材料は、高誘電率なものでも低損失な特性を有する材料が開発実用化されており、従って、誘電体損失よりも導体損失の方が回路の無負荷Qにおいて支配的である。また、高周波帯においては、表皮効果によって、導体表面において高周波電流が集中するために、導体表面に近づくほど表面抵抗（表皮抵抗ともいう。）が大きくなり、導体損失（ジュール損失）が大きくなる。ここで、表皮効果とは、導体の内部では導体の表面から離れるに従って、高周波電流が指数関数的に減衰するという高周波信号の伝

送に特有の現象である。この電流が流れる導体の薄い領域を表皮深さと呼び、例えば銅であれば1GHzのとき約 $2.2\mu\text{m}$ となる。しかしながら、従来は、高周波応用部品の電極に用いられる導体の膜厚は、電極を透過して失われる放射損失を回避するために、表皮深さよりも十分に厚い膜厚で構成されていた。また、金属メッキや金属の焼き付けの技術により電極を作成する場合の基板や電極膜の表面粗さなどの問題もあり、電極の厚さを表皮深さに比べて十分厚くすることが損失を小さくすることに結び付いていた。しかし、最近では鏡面に近い基板の上に膜厚精度のよい電極を成膜する技術ができはじめれており、電極を最適膜厚で構成することが可能になってきている。

【0004】この状況を鑑みて、導体損失が効果的に低減されて高い無負荷Qを得ることができる改良された対称型ストリップライン共振器（以下、従来例の共振器という。）が、特開平4-43703号公報において提案されている。この従来例の共振器は、誘電体を挟んで所定距離を隔てて対向位置せしめられた一対の接地導体間に、ストリップ導体を配した対称型ストリップラインによって、共振回路を構成せしめて成る対称型ストリップライン共振器において、上記ストリップ導体を、上記一対の接地導体間において、該接地導体と平行に複数枚、上記誘電体を介して互いに所定の間隔を隔てて積層状に配置せしめたことを特徴としている。

【0005】そして、当該従来例の共振器を開示した公報には次のことが開示されている。

（a）上記各ストリップ導体の厚さは、導体損失を有効的に抑えるためには、表皮深さの3倍か又はそれよりも大きな厚さをもって形成することが望ましい。すなわち、ストリップ導体において、マイクロ波帯の高周波電流が流れる表皮部分を増大せしめて、ストリップ導体における実効断面積を増大させる。

（b）一対のストリップ導体の一端側においてスルーホールを介して互いに導通される一方、他端側においてもスルーホールを介して互いに導通される。

（c）当該共振器における電界分布は、当該公報の第3図に示すように、電界は、各ストリップ導体からそれぞれ接地導体に向かうように形成される。

【0006】

【発明が解決しようとする課題】しかしながら、上記（a）の構造を有しているために、小型・軽量化することが困難であって、しかも導体損失の低減率は比較的小さく、無負荷Qも比較的小さいという問題点があった。本発明の第1の目的は以上の問題点を解決し、従来例に比較して簡単な構造で、かつ導体損失を大幅に低減させることができ、しかも発明実施品を小型・軽量化することができる高周波電磁界結合型薄膜積層電極を提供することにある。

【0007】本発明の第2の目的は以上の問題点を解決

し、極めて小さい伝送損失を有する高周波伝送線路、極めて大きな無負荷Qを有する高周波共振器、極めて大きな無負荷Qを有する高周波フィルタ、並びに極めて小さい損失で所定の高周波動作を行うことができる高周波デバイスを提供することにある。

【0008】本発明の第3の目的は、上記高周波電磁界結合型薄膜積層電極の表面抵抗が最小になるようにその膜厚を設定することができる上記高周波電磁界結合型薄膜積層電極の膜厚設定方法を提供することにある。

【0009】

【課題を解決するための手段】本発明に係る請求項1記載の高周波電磁界結合型薄膜積層電極は、誘電体を1対の導体によって挟設して構成された第1のTEMモード伝送線路上に形成するための薄膜積層電極であって、上記薄膜積層電極は、上記誘電体の一方の側に形成される導体を最下層の薄膜導体として形成されて含み、薄膜導体と薄膜誘電体とを交互に積層することによって、上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される少なくとも1つの第2のTEMモード伝送線路が積層されてなり、上記第1のTEMモード伝送線路を伝搬するTEM波の位相速度と、上記第2のTEMモード伝送線路を伝搬するTEM波の位相速度とを、互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を設定し、かつ上記第2のTEMモード伝送線路の最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに上記最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして上記第1のTEMモード伝送線路の電磁界と、上記第2のTEMモード伝送線路の電磁界が互いに結合するように設定されたことを特徴とする。

【0010】請求項2記載の高周波電磁界結合型薄膜積層電極は、請求項1記載の高周波電磁界結合型薄膜積層電極において、上記最上層の薄膜導体の膜厚を使用周波数の表皮深さの $\pi/2$ 倍にしたことを特徴とする。請求項3記載の高周波電磁界結合型薄膜積層電極は、請求項1又は2記載の高周波電磁界結合型薄膜積層電極において、最下層から最上層までの上記各薄膜導体の膜厚を上層ほど厚くしたことを特徴とする。請求項4記載の高周波電磁界結合型薄膜積層電極は、請求項1、2又は3記載の高周波電磁界結合型薄膜積層電極において、上記薄膜導体は超電導材料にてなることを特徴とする。

【0011】本発明に係る請求項5記載の高周波伝送線路は、少なくとも1つの導体を備えた高周波伝送線路であって、上記導体を、薄膜導体と薄膜誘電体とを交互に積層することによって上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される複数のTEMモード伝送線路が積層されてなる薄膜積層電極で構成し、上記複数のTEMモード伝送線路のうちの少なくとも2つを伝搬する各TEM波の位相速度を互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を

設定し、かつ上記各薄膜導体のうちの最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして上記複数のTEMモード伝送線路のうちの少なくとも2つの電磁界が互いに結合するように設定されたことを特徴とする。請求項6記載の高周波伝送線路は、請求項5記載の高周波伝送線路において、上記高周波伝送線路は導波管であることを特徴とする。

【0012】本発明に係る請求項7記載の高周波伝送線路は、第1の伝送線路と、薄膜導体と薄膜誘電体とを交互に積層することによって上記薄膜誘電体を挟設する1対の上記薄膜導体によって構成された少なくとも1つのTEMモードの第2の伝送線路とを備えた高周波伝送線路であって、上記第1の伝送線路を伝搬する電磁波の位相速度と、上記第2の伝送線路の少なくとも1つを伝搬するTEM波の位相速度とを互いに実質的に一致させるように上記各薄膜誘電体の膜厚と誘電率を設定し、かつ上記各薄膜導体のうちの最上層の薄膜導体の膜厚を使用周波数の表皮深さより厚くするとともに最上層以外の薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして、上記第1の伝送線路の電磁界と、上記第2の伝送線路の少なくとも1つの電磁界とが互いに結合するように設定されたことを特徴とする。

【0013】請求項8記載の高周波伝送線路は、請求項7記載の高周波伝送線路において、上記第2の伝送線路を構成する薄膜誘電体の実効誘電率は、上記第1の伝送線路を構成する誘電体の実効誘電率よりも低いことを特徴とする。請求項9記載の高周波伝送線路は、請求項7記載の高周波伝送線路において、上記第2の伝送線路を構成する薄膜誘電体の厚さは、上記第1の伝送線路を構成する誘電体の厚さよりも薄いことを特徴とする。請求項10記載の高周波伝送線路は、請求項5乃至9のうちの1つに記載の高周波伝送線路において、最下層から最上層までの上記各薄膜導体の膜厚を上層ほど厚くしたことを特徴とする。請求項11記載の高周波伝送線路は、請求項5乃至9のうちの1つに記載の高周波伝送線路において、上記薄膜導体は超電導材料にてなることを特徴とする。

【0014】請求項12記載の高周波伝送線路は、請求項7乃至11のうちの1つに記載の高周波伝送線路において、上記高周波伝送線路はマイクロストリップ線路であることを特徴とする。請求項13記載の高周波伝送線路は、請求項12記載の高周波伝送線路において、上記マイクロストリップ線路は、誘電体基板の第1の面上に上記第2の伝送線路がストリップ導体として形成される一方、上記誘電体基板の第2の面上に接地導体が形成されたことを特徴とする。請求項14記載の高周波伝送線路は、請求項12記載の高周波伝送線路において、上記マイクロストリップ線路は、誘電体基板の第1の面上に上記第2の伝送線路がストリップ導体として形成される

一方、上記誘電体基板の第2の面上に別の上記第2の伝送線路が接地導体として形成されたことを特徴とする。

【0015】請求項15記載の高周波伝送線路は、請求項7乃至11のうちの1つに記載の高周波伝送線路において、上記高周波伝送線路はストリップ線路であることを特徴とする。請求項16記載の高周波伝送線路は、請求項7乃至11のうちの1つに記載の高周波伝送線路において、上記高周波伝送線路は同軸線路であることを特徴とする。

【0016】請求項17記載の高周波共振器は、所定の寸法を有する、請求項5乃至16のうちの1つに記載の高周波伝送線路を備えたことを特徴とする。請求項18記載の高周波共振器は、請求項17記載の高周波共振器において、上記高周波伝送線路は、上記高周波伝送線路を伝送する信号の管内波長の1/4に等しい伝送方向の長さを有することを特徴とする。請求項19記載の高周波共振器は、請求項17記載の高周波共振器において、上記高周波伝送線路は、上記高周波伝送線路を伝送する信号の管内波長の1/2に等しい伝送方向の長さを有することを特徴とする。

【0017】請求項20記載の高周波フィルタは、所定の長さを有する請求項17乃至19のうちの1つに記載の高周波共振器と、上記高周波共振器に高周波信号を入力する入力端子と、上記高周波共振器から高周波信号を出力する出力端子とを備えたことを特徴とする。請求項21記載の高周波帯域除去フィルタは、一端で高周波信号を入力しかつ他端で上記高周波信号を出力する伝送線路と、上記伝送線路と結合する請求項17乃至19のうちの1つに記載の高周波共振器とを備えたことを特徴とする。

【0018】請求項22記載の誘電体共振器は、導体を含む共振器ケースと、上記共振器ケース内に載置された所定の形状の誘電体とを備えた誘電体共振器であって、上記導体を請求項1乃至4のうちの1つに記載の高周波電磁界結合型薄膜積層電極によって構成したことを特徴とする。

【0019】請求項23記載の高周波フィルタは、請求項22記載の誘電体共振器と、上記誘電体共振器に電磁的に結合され、上記誘電体共振器に高周波信号を入力する入力端子と、上記誘電体共振器に電磁的に結合され、上記誘電体共振器から高周波信号を出力する出力端子とを備えたことを特徴とする。

【0020】請求項24記載の高周波デバイスは、電極を備えて所定の高周波動作を行う高周波デバイスであって、上記電極は、請求項1乃至4のうちの1つに記載の高周波電磁界結合型薄膜積層電極を有することを特徴とする。

【0021】本発明に係る請求項25記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法は、誘電体を1対の導体によって挟設して構成された第1のTEMモード

伝送線路上に形成するための薄膜積層電極であって、上記誘電体の一方の側に形成される導体を最下層の薄膜導体として形成されて含み、同一の導電率を有する薄膜導体と同一の誘電率を有する薄膜誘電体とを交互に積層することによって、上記薄膜誘電体を挟設する1対の上記薄膜導体によってそれぞれ構成される少なくとも1つの第2のTEMモード伝送線路が積層されてなる薄膜積層電極の膜厚設定方法であって、予め入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記各薄膜導体のうちの最上層の第1の薄膜導体の上面から空気層を見たときの空気層のインピーダンスを計算するステップと、予め入力された正の実数である上記第1の薄膜導体の膜厚と上記計算された空気層のインピーダンスとに基づいて、上記第1の薄膜導体の下面から上面方向を見たときの第1の薄膜導体の第1の表面インピーダンスを計算するステップと、上記計算された第1の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1のTEMモード伝送線路を伝搬するTEM波の位相速度と、第2のTEMモード伝送線路を伝搬するTEM波の位相速度とを互いに実質的に一致させる条件のもとで上記第1の薄膜導体の下面に形成される第1の薄膜誘電体の膜厚を計算するステップと、上記計算された第1の表面インピーダンスと、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1の薄膜導体の下面に上記第1の薄膜誘電体を介して形成される第2の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線路の電磁界と上記第2のTEMモード伝送線路の電磁界が互いに結合する条件のもとで、上記第1の薄膜導体の下面に上記第1の薄膜誘電体を介して形成される第2の薄膜導体の膜厚を計算するステップと、上記計算された上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚に基づいて、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚を設定するステップとを含むことを特徴とする。

【0022】請求項26記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法は、請求項25記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法においてさらに、上記第1の薄膜導体とは異なる薄膜導体の下面から上面方向を見たときの第2の表面インピーダンスを計算するときに、上記第1の薄膜導体と異なる薄膜導体の計算された膜厚に基づいて、上記第1の薄膜導体と異なる薄膜導体の下面から上面方向を見たときの第2の表面インピーダンスを計算するステップと、上記計算された第2の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1のTEMモード伝送線路を伝搬するT

11

EM波の位相速度と、第2のTEMモード伝送線を伝搬するTEM波の位相速度とを互いに実質的に一致させる条件のもとで、上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚を計算するステップと、上記計算された第2の表面インピーダンスと、上記入力された上記薄膜導体の表皮深さに基づいて、上記第2の表面インピーダンスが計算された薄膜導体の下面に上記薄膜誘電体を介して形成される薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線の電磁界と上記第2のTEMモード伝送線の電磁界が互いに結合する条件のもとで、上記第2の表面インピーダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚を計算するステップと、上記第2の表面インピーダンスを計算するステップと、上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚を計算するステップと、上記第2の表面インピーダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚を計算するステップとを、上記最下層の薄膜導体の膜厚が計算されるまで繰り返すことによって上記各薄膜誘電体の膜厚と上記各薄膜導体の膜厚とを計算するステップと、上記計算された上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚に基づいて、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚を設定するステップとを含むことを含むことを特徴とする。

【0023】請求項27記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法は、請求項25又は26記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法において、上記最上層の第1の薄膜導体の膜厚は、上記使用周波数の表皮深さの $\pi/2$ 倍であることを特徴とする。

【0024】

【作用】本発明に係る請求項1記載の高周波電磁界結合型薄膜積層電極において、上記第1のTEMモード伝送線路が高周波信号で励振されたとき、上記最下層の薄膜導体は上記高周波信号のエネルギーの一部を上側の薄膜導体に透過する。そして、上記最上層以外の各薄膜導体はそれぞれ、より下側の上記薄膜誘電体を介して入射した高周波信号のエネルギーの一部をより上側の薄膜導体に透過するとともに、当該高周波信号のエネルギーの一部をより下側の薄膜誘電体を介してより下側の薄膜導体に反射している。そして、隣接する2つの薄膜導体によって挟設された各薄膜誘電体内ではそれぞれ、上記反射波と透過波とが共振しており、各導体薄膜の上側表面近傍と下側表面近傍では互いに逆方向の対面する2つの高周波電流（以下、対面する2つの高周波電流という。）が流れている。すなわち、上記最上層の薄膜導体以外の薄膜導体の膜厚が使用周波数の表皮深さよりも薄いために、上記対面する2つの高周波電流は干渉し、一部を残

12

して互いに相殺される。さらに、上記最上層の薄膜導体の膜厚は使用周波数の表皮深さよりも厚く設定されているので、放射損失が小さく抑えられる。

【0025】一方、各薄膜誘電体には、電磁界によって変位電流が生じ、隣接する薄膜導体の表面に高周波電流を生じさせる。さらに、上記薄膜誘電体の膜厚と誘電率を、上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線を伝搬する各TEM波の位相速度が互いに実質的に一致するように構成しているので、当該各薄膜導体に流れる高周波電流は実質的に互いに同位相となる。これによって、当該各薄膜導体において同位相で流れる高周波電流は、実効的に表皮深さを増大させる。

【0026】請求項2記載の高周波電磁界結合型薄膜積層電極においては、最上層の薄膜導体の膜厚を使用周波数の表皮深さの $\pi/2$ 倍になるように構成しているので、薄膜誘電体から最上層の薄膜導体に入力された電磁波の一部が最上層の薄膜導体と空気層の境界で反射されるために、当該入力された電磁波と当該反射された電磁波が強め合うように合成されて、最上層の薄膜導体が十分厚いときのような急激な電流値の減衰はなく、表皮効果が緩和される。これによって、最上層の薄膜導体自身の表面抵抗が低減して、かつ表皮深さより厚くなるように構成されているので電磁波の空気層への放射を小さくする。

【0027】請求項3記載の高周波電磁界結合型薄膜積層電極においては、上層の薄膜導体ほど、膜厚が厚くなるように構成しているので効率的に表皮効果を緩和するように動作する。

【0028】請求項4記載の高周波電磁界結合型薄膜積層電極においては、上記薄膜導体が超電導材料で構成されているので表面抵抗はさらに小さくなる。

【0029】請求項5又は6記載の高周波伝送線路においては、上記導体を上記高周波電磁界結合型薄膜積層電極を用いて構成することによって、上記電極と同様により小さい表面抵抗を有するので、当該高周波伝送線路は、極めて小さい伝送損失を有する伝送線路を構成する。

【0030】請求項7乃至16記載の高周波伝送線路においては、上記第2の伝送線路を、薄膜導体と薄膜誘電体とを交互に積層することによって上記薄膜誘電体を挟設する1対の上記薄膜導体によって構成し、上記薄膜誘電体の膜厚と誘電率とを所定の値に設定して、上記第1の伝送線路を伝搬する電磁波の位相速度と、上記第2の伝送線路の少なくとも1つを伝搬するTEM波の位相速度とを互いに実質的に一致させ、かつ最上層の薄膜導体を除く上記各薄膜導体の膜厚を使用周波数の表皮深さよりも薄くして、上記第1の伝送線路の電磁界と、上記第2の伝送線路の少なくとも1つの電磁界とが互いに結合するように設定されている。当該高周波伝送線路においては、上記第1の伝送線路と、上記第2の伝送線路の少

なくとも1つとの間で、上記高周波電磁界結合型薄膜積層電極と同様の作用が生じる。すなわち、高周波の電磁界エネルギーは、電磁的に結合された各第2の伝送線を介して線路の長手方向に伝搬するので、実効的により大きな表皮深さを有してかつ少ない放射損失で、言い換えれば、より小さい表面抵抗を有して伝搬する。それ故、当該高周波伝送線路は、極めて小さい伝送損失を有する伝送線路を構成する。

【0031】請求項17乃至19に記載の高周波共振器においては、所定の寸法を有する上記高周波伝送線路を備えているので、その伝送損失は極めて小さく、それ故、極めて大きな無負荷Qを有する共振器を構成する。

【0032】請求項20に記載の高周波フィルタにおいては、所定の長さを有する上記高周波共振器を備えて、極めて大きな無負荷Qを有する帯域通過又は帯域除去フィルタを構成する。

【0033】請求項21に記載の高周波帯域除去フィルタにおいては、所定の長さを有する上記高周波共振器がトラップ回路として動作し、極めて大きな無負荷Qを有する帯域除去フィルタを構成する。

【0034】請求項22に記載の誘電体共振器においては、共振器ケースの導体を上記高周波電磁界結合型薄膜積層電極によって形成したので、極めて大きな無負荷Qを有する誘電体共振器を構成する。

【0035】請求項23に記載の高周波フィルタは、上記誘電体共振器を備えて極めて大きな無負荷Qを有する帯域通過又は帯域除去フィルタを構成する。

【0036】請求項24に記載の高周波デバイスにおいては、上記電極は、上記高周波電磁界結合型薄膜積層電極を有することにより、極めて小さい導体損失を有する高周波デバイスを構成する。

【0037】請求項25記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法においては、予め入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記最上層の第1の薄膜導体の上面から空気層を見たときの空気層のインピーダンスが計算されて、予め入力された正の実数である上記第1の薄膜導体の膜厚と上記計算された空気層のインピーダンスとに基づいて、上記第1の薄膜導体の下面から上面方向を見たときの上記第1の表面インピーダンスが計算される。上記第1の薄膜誘電体の膜厚は、上記第1の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線路を伝搬する各TEM波の位相速度が互いに実質的に一致する条件のもとで計算される。そして、上記計算された第1の薄膜誘電体の膜厚に基づいて上記第1の薄膜誘電体の膜厚は設定される。従って、上記第1の薄膜誘電体の膜厚は上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線路を伝搬する

各TEM波の位相速度が互いに実質的に一致するように設定される。

【0038】上記第2の薄膜導体の膜厚は、上記第1の表面インピーダンスと、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第2の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線路の電磁界と上記第2のTEMモード伝送線路の電磁界が互いに結合する条件のもとで計算される。そして、上記計算された第2の薄膜導体の膜厚に基づいて上記第2の薄膜導体の膜厚は設定される。従って、上記第2の薄膜導体の膜厚は、上記薄膜導体の使用周波数における表皮深さより薄く、かつ上記第2の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になるように設定される。すなわち、第1と第2の薄膜導体に流れる高周波電流が実質的に互いに同位相になり、これによって、第1と第2の薄膜導体において同位相で流れる高周波電流が実効的に表皮深さを増大させるように、上記第1と第2の薄膜導体の膜厚と上記第1の薄膜誘電体の膜厚は設定される。

【0039】請求項26記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法においては、請求項25記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法においてさらに、上記第1の薄膜導体とは異なる薄膜導体の下面から上面方向を見たときの上記第2の表面インピーダンスを計算するときに、上記第1の薄膜導体と異なる薄膜導体の計算された膜厚に基づいて、上記第2の表面インピーダンスが計算される。上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚は、上記計算された第2の表面インピーダンスと、それぞれ予め入力された上記誘電体の誘電率と上記各薄膜誘電体の誘電率と、上記入力された上記薄膜導体の使用周波数の表皮深さに基づいて、上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線路を伝搬する各TEM波の位相速度が互いに実質的に一致する条件のもとで計算される。上記第2の表面インピーダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚は、上記計算された第2の表面インピーダンスと、上記入力された上記薄膜導体の表皮深さに基づいて、上記第2の表面インピーダンスが計算された薄膜導体の下面に上記薄膜誘電体を介して形成される薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になり、上記第1のTEMモード伝送線路の電磁界と上記第2のTEMモード伝送線路の電磁界が互いに結合する条件のもとで計算される。

【0040】上記第2の表面インピーダンスの計算と、上記第2の表面インピーダンスが計算された薄膜導体の下面に形成される上記薄膜誘電体の膜厚の計算と、上記

第2の表面インピーダンスが計算された薄膜導体の下面に薄膜誘電体を介して形成される薄膜導体の膜厚の計算とが、上記最下層の薄膜導体の膜厚が計算されるまで繰り返されて、上記各薄膜誘電体の膜厚と上記各薄膜導体の膜厚とがすべて計算される。そして、上記各薄膜誘電体の膜厚は、上記計算された上記各薄膜誘電体の膜厚に基づいて設定される。従って、上記各薄膜誘電体の膜厚は上記第1のTEMモード伝送線路と上記各第2のTEMモード伝送線路を伝搬する各TEM波の位相速度が互いに実質的に一致するように設定される。また、上記各薄膜導体の膜厚は、上記薄膜導体の使用周波数における表皮深さより薄く、かつ上記各導体膜厚の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になるように設定される。すなわち、上記各薄膜導体に流れる高周波電流が実質的に互いに同位相になり、これによって、上記各薄膜導体において同位相で流れる高周波電流が実効的に表皮深さを増大させるように、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚は設定される。

【0041】請求項27記載の高周波電磁界結合型薄膜積層電極の膜厚設定方法においては、第1の薄膜導体の膜厚として、上記使用周波数の表皮深さの $\pi/2$ 倍の値が入力され、上記入力された第1の薄膜導体の膜厚に基づいて、上記第1の薄膜導体とは異なる上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚が計算されて設定される。ここで、上記第1の薄膜導体の膜厚が上記使用周波数の表皮深さの $\pi/2$ 倍である場合における上記第1の薄膜導体の下面から上面方向を見たときの第1の表面インピーダンスの実数部である表面抵抗は、第1の薄膜導体の膜厚が上記表皮深さの $\pi/2$ 倍以外の膜厚である場合における第1の薄膜導体の下面から上面方向を見たときの第1の表面インピーダンスの実数部である表面抵抗に比べると小さくなる。これによって、最下層の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が、第1の薄膜導体の膜厚が上記表皮深さの $\pi/2$ 倍以外の膜厚である場合における最下層の薄膜導体の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗に比べて最も小さくなるように上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚が設定される。これによって、実効的に表皮深さが最も大きくなるように、上記各薄膜導体の膜厚と上記各薄膜誘電体の膜厚が設定される。

【0042】

【実施例】以下、図面を参照して本発明による実施例について説明する。なお、添付図面において同一のものについては同一の参照符号を付す。

<第1の実施例>図1は、本発明に係る第1の実施例である電磁界結合型薄膜積層伝送線路を用いた1/2波長線路型共振器を用いたフィルタの斜視図である。

【0043】この第1の実施例の1/2波長線路型共振

器は、薄膜導体1乃至5と薄膜誘電体30-1乃至30-4とが交互に積層された構造を有する本発明に係る高周波電磁界結合型薄膜積層電極を用いた電磁界結合型薄膜積層伝送線路を用いることを特徴としている。当該電磁界結合型薄膜積層伝送線路においては、その下面に接地導体11が形成された誘電体基板10の上面に、最下層である薄膜導体5が接するように上記高周波電磁界結合型薄膜積層電極が形成される。これによって、薄膜導体5と、接地導体11と、薄膜導体5と接地導体11間に挟設された誘電体基板10とによってTEMモードのマイクロストリップ線路（以下、主伝送線路という。）LN10が構成される一方、当該主伝送線路LN10上に、それぞれ1つの薄膜誘電体が1対の薄膜導体で挟設されてなる4個のTEMモードのマイクロストリップ線路（以下、副伝送線路という。）LN1乃至LN4が積層されている。図1及び以下の図面においては、副伝送線路の参照符号を、その副伝送線路の各誘電体に対して括弧の中に付している。ここで、特に、(a)各薄膜誘電体30-1乃至30-4の誘電体膜厚 x_{a1} 乃至 x_{a4} と誘電率 ϵ_s を詳細後述するように設定することによって、主伝送線路LN10と各副伝送線路LN1乃至LN4を伝搬するTEM波の位相速度を互いに実質的に一致させ、かつ(b)各薄膜導体2乃至5の導体膜厚 ϵa_2 乃至 ϵa_5 を、使用周波数の表皮深さ δ_0 よりも薄く、かつ上層ほど厚くなるように所定の膜厚に設定することによって、互いに隣接する主伝送線路LN10と副伝送線路LN4、副伝送線路LN4と副伝送線路LN3、副伝送線路LN3と副伝送線路LN2、副伝送線路LN2と副伝送線路LN1間で各電磁界を互いに結合させる。これにより、主伝送線路LN10に流れる高周波エネルギーを副伝送線路LN4、LN3、LN2、LN1に一部移行させ、各薄膜導体1乃至5においてそれぞれに高周波電流が流れるように構成され、高周波による表皮効果を大幅に抑圧することを特徴とする。さらに薄膜導体1の導体膜厚 ϵa_1 を、薄膜導体1の導体損失と放射損失の合計の損失が最小になる膜厚である使用周波数の表皮深さ δ_0 の $\pi/2$ 倍になるように構成したことを特徴とする。

【0044】図1に示すように、裏面全面に接地導体11が形成された誘電体基板10上に、長手方向の長さが $\lambda g/2$ (λg は管内波長)である帯形状の薄膜導体5が形成される。ここで、薄膜導体5と、接地導体11と、薄膜導体5と接地導体11の間に挟設された誘電体基板10とによってマイクロストリップ線路にてなる主伝送線路LN10が構成される。次いで、上記薄膜導体5上に、薄膜誘電体30-4、薄膜導体4、薄膜誘電体30-3、薄膜導体3、薄膜誘電体30-2、薄膜導体2、薄膜誘電体30-1、薄膜導体1の順で積層形成される。ここで、以下のように副伝送線路LN1乃至LN4が構成されている。

17

(a) 薄膜誘電体30-1が1対の薄膜導体1と薄膜導体2によって挟設されて副伝送線路LN1が構成される。

(b) 薄膜誘電体30-2が1対の薄膜導体2と薄膜導体3によって挟設されて副伝送線路LN2が構成される。

(c) 薄膜誘電体30-3が1対の薄膜導体3と薄膜導体4によって挟設されて副伝送線路LN3が構成される。

(d) 薄膜誘電体30-4が1対の薄膜導体4と薄膜導体5によって挟設されて副伝送線路LN4が構成される。

なお、各薄膜導体1乃至5のそれぞれの膜厚である導体膜厚 ξ_{a1} 乃至 ξ_{a5} と各薄膜誘電体30-1乃至30-4のそれぞれの膜厚である誘電体膜厚 x_{a1} 乃至 x_{a4} は、図8のフローチャートで示した最適膜厚設定計算処理プログラムを用いて詳細後述するように設定される。

【0045】さらに、誘電体基板10上に、入力端子用導体12が、薄膜導体5の長手方向の一端と所定のギャップ g_1 だけ離れかつ電磁的に互いに結合するように近接して形成される一方、出力端子用導体13が、薄膜導体5の長手方向の他端と所定のギャップ g_2 だけ離れかつ電磁的に互いに結合するように近接して形成される。なお、第1の実施例においては、入力端子用導体12と薄膜導体5の一端との結合と、出力端子用導体13と薄膜導体5の他端との結合とは、容量結合である。ここで、誘電体基板10は、例えばアルミナの単結晶であるサファイアにてなり、薄膜誘電体30-1乃至30-4は、例えば SiO_2 にてなる。一方、接地導体11及び薄膜導体1乃至5は、例えばCu、Ag又はAuなどの電気的導電性を有する導体にてなる。

【0046】図2は、図1のA-A'線の断面図であって、以上のように構成された1/2波長線路型共振器において電界及び磁界分布を示す図である。ここで、図2は断面図であるが、誘電体におけるハッチングを省略している。また、図中実線の矢印は電界を示し、点線の矢印は磁界を示す。図2から分かるように、電界は、各薄膜導体1乃至5の表面に対して垂直な方向でかつ互いに同じ向きで分布する。一方、磁界は各薄膜導体1乃至5の表面に対して平行な方向でかつ互いに同じ向きで分布する。これによって、主伝送線路LN10と副伝送線路LN4乃至LN1の電磁界は互いに結合されていることがわかる。

【0047】次に、各薄膜導体1乃至5の導体膜厚 ξ_{a1} 乃至 ξ_{a5} と各薄膜誘電体30-1乃至30-4の誘電体膜厚 x_{a1} 乃至 x_{a4} の設定方法について詳細に説明する。最初に、薄膜導体1の表面抵抗 R_{As1} が最小になる導体膜厚 ξ_{a1} を求める。図3(a)は、空気層を含む薄膜導体1の厚さ方向の分布定数型等価回路の回路図であって、当該等価回路は図3(a)に示すように、損失

18

抵抗を含む分布定数回路にてなる。図3(a)の分布定数型等価回路は、薄膜導体1の下側の第1の面において仮想的に設けられる2つの端子T1-3、T1-4と、薄膜導体1の上側の第2の面において仮想的に設けられる2つの端子T1-1、T1-2との間に設けられる。当該分布定数型等価回路の各单位回路は、厚さ方向と平行な方向に設けられる単位インダクタンス $l dx$ と、それぞれ厚さ方向と垂直な方向に設けられた単位キャパシタンス $c dx$ と単位コンダクタンス $g dx$ との並列回路とを備え、当該並列回路と上記単位インダクタンス $l dx$ とが逆L型に接続されて構成される。そして、上記分布定数型等価回路は、複数個の上記単位回路が厚さ方向に縦続に接続されて構成され、当該等価回路の空気層側の2つの端子T1-1、T1-2には空気層のインピーダンス Z_{A1} が接続される。ここで、単位インダクタンス $l dx$ と単位キャパシタンス $c dx$ と単位コンダクタンス $g dx$ は、それぞれ次の数1、数2、数3で表される。数1、数2、数3において、 σ は薄膜導体1の導電率、 ϵ_0 は真空中の誘電率、 μ_0 は真空中の透磁率、 dx は薄膜導体1の厚さ方向の微小長さ、 Z_{A1} は空気層のインピーダンス、 y_a は薄膜導体1の線路幅である。また、 β_0 は共振周波数における主伝送線路LN10の位相定数であって、共振周波数に対応する角周波数 ω_0 と誘電体基板10の誘電率 ϵ_a を用いて次の数4で表される。

【0048】

$$\text{【数1】 } l dx = (\mu_0 / y_a \beta_0) dx$$

$$\text{【数2】 } c dx = \epsilon_0 y_a \beta_0 dx$$

$$\text{【数3】 } g dx = \sigma y_a \beta_0 dx$$

$$\text{【数4】 } \beta_0 = \omega_0 \sqrt{(\mu_0 \epsilon_a)}$$

【0049】また、図3(a)の等価回路は、図3

(b)の集中定数形等価回路に変換することができる。当該集中定数型等価回路は、厚さ方向と平行な方向に設けられた2つの複素インピーダンス Z_{A1} と、厚さ方向と垂直な方向に設けられた複素アドミタンス Y_{A1} とがT型に接続されて構成される。ここで、複素インピーダンス Z_{A1} 、複素アドミタンス Y_{A1} 、空気層のインピーダンス Z_{A1} は、それぞれ数6、数7、数8で表される。また、薄膜導体1の導体膜厚 ξ_{a1} を数5で表される表皮深さ δ_0 で割った値を薄膜導体1の規格化導体膜厚 ξ_1 と定義して、数9の様に表した。

【0050】

$$\text{【数5】 } \delta_0 = \sqrt{(2 / \omega_0 \mu_0 \sigma)}$$

$$\text{【数6】 } Z_{A1} = [(1+j) / (\sigma \delta_0 y_a \beta_0)] \cdot \tanh [(1+j) \xi_1 / 2]$$

$$\text{【数7】 } Y_{A1} = [\sigma \delta_0 y_a \beta_0 / (1+j)] \cdot \sinh [(1+j) \xi_1]$$

$$\text{【数8】 } Z_{A1} = (1 / y_a) (1 / \beta_0) \sqrt{(\mu_0 / \epsilon_0)}$$

$$\text{【数9】 } \xi_1 \equiv \xi_{a1} / \delta_0$$

【0051】さらに、図3(b)の等価回路を左端の端

子T1-3, T1-4から見たときの表面インピーダンス Z_{As1} は、数10で表される。ここで、数11に示すように、空気層のインピーダンス Z_{AL} は、複素インピーダンス Z_{A1} 、及び複素アドミタンス Y_{A1} に比べると十分大きいので、図3(b)の等価回路の端子T1-1, T1-2が解放端であるとする近似を用いることができ、上記表面インピーダンス Z_{As1} は、数12で表される。

【0052】

【数10】

$$Z_{As1} = Z_{A1} + \{Y_{A1} + (Z_{A1} + Z_L)^{-1}\}^{-1}$$

【数11】 $Z_{AL} \sigma \delta_0 y_a \beta_0 = \sigma \delta_0 \sqrt{(\mu_0 / \epsilon_0)} \approx \infty$

【数12】 $Z_{As1} = Z_{A1} + 1/Y_{A1}$

【0053】さらに、数12で表される表面インピーダンス Z_{As1} に、数6で表される複素インピーダンス Z_{A1} と複素アドミタンス Y_{A1} を代入して整理すると、表面インピーダンス Z_{As1} は、数13のように表される。

【0054】

【数13】 $Z_{As1} = \{(1+j)/(\sigma \delta_0 y_a \beta_0)\} / \{\tanh\{(1+j)\xi_1\}\}$

【0055】また、表面インピーダンス Z_{As1} は、表面抵抗 R_{As1} と表面リアクタンス X_{As1} を用いて、数14のように表わすことができる。

【0056】

【数14】 $Z_{As1} = R_{As1} + j X_{As1}$

【0057】また、数13で表される表面インピーダンス Z_{As1} を、実部と虚部に分けて整理すると、表面抵抗 R_{As1} と表面リアクタンス X_{As1} は、それぞれ数15と数16の様に表わすことができる。

【0058】

【数15】 $R_{As1} = \{\sinh(2\xi_1) + \sin(2\xi_1)\} / \{\sigma \delta_0 y_a \beta_0 [\cosh(2\xi_1) - \cos(2\xi_1)]\}$

【数16】 $X_{As1} = \{\sinh(2\xi_1) - \sin(2\xi_1)\} / \{\sigma \delta_0 y_a \beta_0 [\cosh(2\xi_1) - \cos(2\xi_1)]\}$

【0059】図4は、数15を使用して求めた、表面抵抗 R_{As1} に $\sigma \delta_0 y_a \beta_0$ を乗じた規格化表面抵抗 R_{S1} と規格化導体膜厚 ξ_1 の関係を示したグラフである。図4から明らかなように、規格化導体膜厚 ξ_1 が1と2の間の特定の値で、規格化表面抵抗 R_{S1} は極値である最小値をとる。規格化表面抵抗 R_{S1} が最小になる規格化膜厚 ξ_1 では、数17に示す規格化表面抵抗 R_{S1} の規格化導体膜厚 ξ_1 についての偏微分係数 $\partial R_{S1} / \partial \xi_1$ は0になる。従って、規格化表面抵抗 R_{S1} が最小になる規格化膜厚 ξ_1 を求めるためには、数17を満たす規格化導体膜厚 ξ_1 を求めれば良い。

【0060】

【数17】 $\partial R_{S1} / \partial \xi_1 = -\{2\sinh(2\xi_1) \cdot \sin(2\xi_1)\} / \{\cosh(2\xi_1) - \cos(2\xi_1)\}^2 = 0$

【0061】数17で表される偏微分係数 $\partial R_{S1} / \partial \xi_1$ が0になるときの規格化膜厚 ξ_1 は、 n を正の整数とし

て、数18で表される。特に $n=1$ のときの規格化膜厚 ξ_1 は、数19で表され、このとき規格化表面抵抗 R_{S1} は数20で表される最小値 R_{S1min} になる。

【0062】

【数18】

$\xi_1 = n\pi/2$, $n=1, 2, 3, \dots$

【数19】 $\xi_1 = \pi/2$

【数20】 $R_{S1min} = \tanh(\pi/2) \approx 0.917$

【0063】ここで、数9で定義したように薄膜導体1の規格化膜厚 ξ_1 は、表皮深さ δ_0 で規格化された値であるので、物理的な長さの次元をもつ薄膜導体1の導体膜厚 ξ_{a1} は、数21で与えられる。

【0064】

【数21】

$\xi_{a1} = (\pi/2) \delta_0 = (\pi/2) \sqrt{2/(\omega_0 \mu_0 \sigma)}$

【0065】以上の結果から明らかなように、規格化導体膜厚 ξ_1 が $\pi/2$ のとき、すなわち、薄膜導体1の導体膜厚 ξ_{a1} が表皮深さ δ_0 の $\pi/2$ 倍のとき、表面抵抗 R_{As1} は、薄膜導体1の導体膜厚 ξ_{a1} が表皮深さ δ_0 に比べて十分厚いときの表面抵抗 R_{As1} である $1/(\sigma \delta_0 y_a \beta_0)$ より小さい $0.917/(\sigma \delta_0 y_a \beta_0)$ の最小値になる。また、図4から明らかなように、規格化導体膜厚 ξ_1 を $1.14 \leq \xi_1 \leq 2.75$ の範囲内の値に設定すると、規格化表面抵抗 R_{S1} は1より小さくなる。すなわち、規格化導体膜厚 ξ_1 を $1.14 \leq \xi_1 \leq 2.75$ の範囲内の値に設定すると、そのときの表面抵抗 R_{As1} は、薄膜導体1の導体膜厚 ξ_{a1} が表皮深さ δ_0 に比べて十分厚いときの表面抵抗 R_{As1} より小さくなる。

【0066】次に、高周波電磁界結合型薄膜積層電極の表面抵抗 R_s が最小になるような薄膜導体2乃至5の導体膜厚 ξ_{a2} 乃至膜厚 ξ_{a5} と薄膜誘電体30-1乃至30-4の誘電体膜厚 x_{a1} 乃至 x_{a4} 設定方法について説明する。図5(a)は、薄膜導体1乃至5(以下代表して薄膜導体 k と称する。)の厚さ方向の分布定数型等価回路であって、図5(a)に示すように、損失抵抗を含む分布定数回路にてなる。ここで、図3と同じものについては、同様の記号を付している。図5(a)の分布定数型等価回路は、薄膜導体 k の第1の面において仮想的に設けられる2つの端子 T_{k-3} , T_{k-4} と、薄膜導体1の第2の面において仮想的に設けられる2つの端子 T_{k-1} , T_{k-2} との間に設けられる。当該分布定数型等価回路の各单位回路は、図3の薄膜導体1の単位回路と同様に、厚さ方向と平行な方向に設けられる単位インダクタンス l_{dx} と、それぞれ厚さ方向と垂直な方向に設けられた単位キャパシタンス c_{dx} と単位コンダクタンス g_{dx} との並列回路とを備え、当該並列回路と上記単位インダクタンス l_{dx} とが逆L型に接続されて構成される。そして、上記分布定数型等価回路は、複数の上記単位回路が厚さ方向に縦続に接続されて構成される。ここで、単位インダクタンス l_{dx} と単位キャパシ

21

タンクス $c d x$ と単位コンダクタンス $g d x$ は、それぞれ数1、数2、数3で表される。また ε_{ak} は薄膜導体 k の膜厚であり、 y_a は薄膜導体 k の線路幅であって薄膜導体1の線路幅と等しくなるように設定される。またさらに β_0 は上述した共振周波数における主伝送線路 $L N 10$ の位相定数であって数4で与えられ、 σ は薄膜導体 k ($k=2, 3, 4, 5$) の導電率であって薄膜導体1の値と同じ値に設定される。なお、各薄膜導体の表皮深さ δ_0 は同一の値になる。

【0067】また、図5(a)の等価回路は、図5(b)の集中定数形等価回路に変換することができる。当該集中定数型等価回路は、厚さ方向と平行な方向に設けられた2つの複素インピーダンス $Z A_k$ と、厚さ方向と垂直な方向に設けられた複素アドミタンス $Y A_k$ とがT型に接続されて構成される。ここで、複素インピーダンス $Z A_k$ と複素アドミタンス $Y A_k$ は、薄膜導体 k の導体膜厚 ε_{ak} を表皮深さ δ_0 で割った数22で定義される薄膜導体 k の規格化導体膜厚 ξ_k を用いて、それぞれ数23、数24で表される。

【0068】

【数22】 $\xi_k \equiv \varepsilon_{ak} / \delta_0$

【数23】 $Z A_k = [(1+j) / (\sigma \delta_0 y_a \beta_0)] \cdot \tanh[(1+j) \xi_k / 2]$

【数24】

$Y A_k = [\sigma \delta_0 y_a \beta_0 / (1+j)] \cdot \sinh[(1+j) \xi_k]$

【0069】また、薄膜誘電体30-kの誘電体損失は、薄膜導体 k の導体損失より十分小さいので、当該誘電体損失は0とすることができ、薄膜誘電体30-kの複素インピーダンスは数27で表されるリアクタンス $W A_k$ のみで表わすことができる。ここで、数27では、薄膜誘電体30-1乃至30-4(以下、代表して薄膜導体30-kを付す。)の誘電体膜厚 x_a をそれぞれ誘電体膜厚 x_{a1} 乃至 x_{a4} (以下、代表して x_{ak} を付す。)として、数25で表されるインダクタンス L_k と数26で表されるキャパシタンス C_k を用いている。ここで、数26中の ε_s は薄膜誘電体30-kの誘電率であって、薄膜誘電体30-1乃至30-4はすべて同じ値になるように設定される。以上によって、本発明に係る高周波電磁界結合型薄膜積層電極の等価回路は図6のように表わすことができる。図6において、 $Z A_{s1}$ 乃至 $Z A_{s5}$ は、薄膜導体1乃至5の端子 $T 1-3$ 乃至 $T 5-3$ と $T 1-4$ 乃至 $T 5-4$ から上層である空気層の方向を見たときの表面インピーダンスであって、以下代表して呼ぶときは $Z A_{Sk}$ を付す。

【0070】

【数25】 $L_k = \mu_0 (x_{ak} / y_a) (1 / \beta_0)$

【数26】 $C_k = \varepsilon_s (y_a / x_{ak}) (1 / \beta_0)$

【数27】 $-j W A_k = j \omega_0 L_k + 1 / (j \omega_0 C_k)$

【数28】 $W A_k = (1 / \sigma \delta_0) (1 / y_a) (2 x_{ak} / \delta_0) (\varepsilon_s / \varepsilon_s - 1)$

22

【0071】数28は数27のリアクタンス $W A_k$ を数25、数26、数4を用いてさらに変形したものである。また以上のようにして求めた数23、数24、数28を用いると表面インピーダンス $Z A_{Sk}$ に関する漸化式は次の数29と数30で与えられる。ここで数29は $k=1$ のときに成り立つ式であり、数30は $k \geq 2$ のときに成り立つ式である。

【0072】

【数29】

10 $Z A_{s1} = Z A_1 + [Y A_1 + (Z A_1 + Z A_L)^{-1}]^{-1}$

【数30】 $Z A_{Sk} = Z A_k + [Y A_k + (Z A_k - j W A_{k-1} + Z A_{Sk-1})^{-1}]^{-1}$

【0073】また角周波数 ω_0 における1radあたりの表面抵抗 $R A_{s0}$ は数31で表される。ここで、表面抵抗 $R A_{s0}$ を規格化因子として選ぶと、規格化表面インピーダンス Z_{Sk} は、数29と数30を規格化して数32と数33の様に表わすことができる。また、規格化複素インピーダンス Z_k と規格化複素アドミタンス Y_k と規格化リアクタンス W_k と空気層の規格化インピーダンス Z_L は、それぞれ数23、数24、数28、数8を規格化してそれぞれ数34、数35、数36、数37の様に表わすことができる。

【0074】

【数31】 $R A_{s0} = 1 / (\sigma \delta_0 y_a \beta_0)$

【数32】 $Z_{s1} = Z_1 + [Y_1 + (Z_1 + Z_L)^{-1}]^{-1}$

【数33】

$Z_{Sk} = Z_k + [Y_k + (Z_k - j W_{k-1} + Z_{Sk-1})^{-1}]^{-1}$

【数34】 $Z_k = (1+j) \cdot \tanh[(1+j) \xi_k / 2]$

【数35】 $Y_k = [1 / (1+j)] \cdot \sinh[(1+j) \xi_k]$

20 【数36】 $W_k = 2 x_k (\varepsilon_s / \varepsilon_s - 1)$

【数37】

$Z_L = \sigma \delta_0 \sqrt{(\mu_0 / \varepsilon_0)} = \sqrt{2 \sigma / (\omega_0 \varepsilon_0)}$

【0075】ここで、 x_k は薄膜誘電体30-kの規格化された誘電体膜厚であり、次の数38で定義される。さらに、規格化表面インピーダンス Z_{Sk} は、規格化表面抵抗 R_{Sk} と規格化リアクタンス X_{Sk} を用いて数39のように表わすことができる。

【0076】

【数38】 $x_k = x_{ak} / \delta_0$

40 【数39】 $Z_{Sk} = R_{Sk} + j X_{Sk}$

【0077】以上で規格化された規格化表面インピーダンス Z_{Sk} の漸化式である数32と数33が求められた。次に、上記数33で表された規格化表面インピーダンス Z_{Sk} の漸化式を用いて、薄膜導体 $k-1$ の規格化導体膜厚 ξ_{k-1} と薄膜誘電体30-($k-2$)の規格化誘電体膜厚 x_{k-2} が与えられたときに、規格化表面抵抗 R_{Sk} が最小になるための規格化導体膜厚 ξ_k と規格化誘電体膜厚 x_{k-1} を求める。いま薄膜導体 $k-1$ の規格化表面インピーダンス Z_{Sk-1} は数39から明らかのように数40のように表わすことができる。この数40を用いると数

50

23

33は数41の様に表される。

【0078】

【数40】 $Z_{Sk-1} = R_{Sk-1} + jX_{Sk-1}$

【数41】 $Z_{Sk} = Z_k + \{Y_k + \{Z_k + R_{Sk-1} - j(W_{k-1} - X_{Sk-1})\}^{-1}\}^{-1}$

【0079】以下、 $k \geq 2$ のときに成り立つ数41について規格化表面抵抗 R_{Sk} が最小になるための条件を考える。

【0080】上述のように規格化導体膜厚 ξ_{k-1} と規格化誘電体膜厚 x_{k-1} が与えられているので、数41で表される薄膜導体 k の規格化表面インピーダンス Z_{Sk} における変数は規格化導体膜厚 ξ_k と薄膜誘電体 $k-1$ のリアクタンス W_{k-1} の2つと考えることができる。従って、表面インピーダンス Z_{Sk} の実部である規格化表面抵抗 R_{Sk} が最小になる規格化導体膜厚 ξ_k と W_{k-1} を求めることによって、規格化表面抵抗 R_{Sk} が最小になる規格化導体膜厚 ξ_k と規格化誘電体膜厚 x_{k-1} を求めることができる。

【0081】規格化表面インピーダンス Z_{Sk} の実部である規格化表面抵抗 R_{Sk} が最小になる規格化導体膜厚 ξ_k と W_{k-1} を求めるために、数34で表される規格化複素インピーダンス Z_k と数35で表される規格化複素アドミタンス Y_k を公知の双曲線関数の定理を用いて変形すると、規格化複素インピーダンス Z_k と規格化複素アドミタンス Y_k はそれぞれ次の数42と数43で表される。また、計算する上での便宜上、数41で表される規格化表面インピーダンス Z_{Sk} の、 $X_{Sk-1} - W_{k-1}$ をリアクタンス X とにおいて、かつ数42で表される規格化複素インピーダンス Z_k と数43で表される規格化複素アドミタンス Y_k を数41に代入して、規格化表面インピーダンス Z_{Sk} を実数部 R_{Sk} と虚数部 X_{Sk} との和の形式に整理することによって、規格化表面抵抗 R_{Sk} と規格化表面リアクタンス X_{Sk} は、それぞれ数45と数46で表されることがわかる。

【0082】

【数42】

$Z_k = (1+j)(\sinh \xi_k + j \sin \xi_k) / (\cosh \xi_k + \cos \xi_k)$

【数43】 $Y_k = [1/(1+j)] (\sinh \xi_k \cdot \cos \xi_k + j \cosh \xi_k \cdot \sin \xi_k)$

【数44】 $X = X_{Sk-1} - W_{k-1}$

【数45】 $R_{Sk} = (2 \cdot \cosh^2 \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh^2 \xi_k \cdot X + \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 + \cosh \xi_k \cdot \sinh \xi_k \cdot X^2 + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k + 2 \cdot \cos^2 \xi_k \cdot R_{Sk-1} - 2 \cdot \cos^2 \xi_k \cdot X + \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 + \cos \xi_k \cdot \sin \xi_k \cdot X^2 - 2 \cdot \cos \xi_k \cdot \sin \xi_k - 2 \cdot R_{Sk-1}) / (\cosh^2 \xi_k \cdot R_{Sk-1}^2 + \cosh^2 \xi_k \cdot X^2 + 2 \cdot \cosh^2 \xi_k + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X - \cos^2 \xi_k \cdot R_{Sk-1}^2 - \cos^2 \xi_k \cdot X^2 + 2 \cdot \cos^2 \xi_k + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} - 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - 2)$

【数46】 $X_{Sk} = (2 \cdot \cosh^2 \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh^2 \xi_k \cdot X$

24

$+ \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 + \cosh \xi_k \cdot \sinh \xi_k \cdot X^2 + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k - 2 \cdot \cos^2 \xi_k \cdot R_{Sk-1} + 2 \cdot \cos^2 \xi_k \cdot X - \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 - \cos \xi_k \cdot \sin \xi_k \cdot X^2 + 2 \cdot \cos \xi_k \cdot \sin \xi_k - 2 \cdot X) / (\cosh^2 \xi_k \cdot R_{Sk-1}^2 + \cosh^2 \xi_k \cdot X^2 + 2 \cdot \cosh^2 \xi_k + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X - \cos^2 \xi_k \cdot R_{Sk-1}^2 - \cos^2 \xi_k \cdot X^2 + 2 \cdot \cos^2 \xi_k + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} - 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - 2)$

【0083】次に規格化表面抵抗 R_{Sk} をリアクタンス X で偏微分すると、その偏微分係数 $\partial R_{Sk} / \partial X$ は数47で表され、規格化表面抵抗 R_{Sk} を ξ_k で偏微分すると、その偏微分係数 $\partial R_{Sk} / \partial \xi_k$ はそれぞれ次の数47と数48で表される。

【0084】

【数47】 $\partial R_{Sk} / \partial X = - \{ 2 \cdot (2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 - 2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot X^2 - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - \cosh^2 \xi_k \cdot R_{Sk-1}^2 + \cosh^2 \xi_k \cdot X^2 + 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X - 4 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X - 4 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k - 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X - \cos^2 \xi_k \cdot R_{Sk-1}^2 + \cos^2 \xi_k \cdot X^2 + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X) / (\cosh^4 \xi_k \cdot R_{Sk-1}^4 + 2 \cdot \cosh^4 \xi_k \cdot R_{Sk-1}^2 \cdot X^2 + 8 \cdot \cosh^4 \xi_k \cdot R_{Sk-1}^2 + 8 \cdot \cosh^4 \xi_k \cdot R_{Sk-1} \cdot X + \cosh^4 \xi_k \cdot X^4 + 8 \cdot \cosh^4 \xi_k \cdot X^2 + 4 \cdot \cosh^4 \xi_k + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot X^3 + 8 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot X - 2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^4 - 4 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 \cdot X^2 - 2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot X^4 + 8 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k + 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X + 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X^3 - 8 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - 8 \cdot \cosh^2 \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cosh^2 \xi_k \cdot R_{Sk-1} \cdot X - 8 \cdot \cosh^2 \xi_k \cdot X^2 - 8 \cdot \cosh^2 \xi_k - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X^3 + 8 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X + 8 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot X^2 - 8 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} - 8 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X + \cos^4 \xi_k \cdot R_{Sk-1}^4 + 2 \cdot \cos^4 \xi_k \cdot R_{Sk-1}^2 \cdot X^2 - 8 \cdot \cos^4 \xi_k \cdot R_{Sk-1}^2 + 8 \cdot \cos^4 \xi_k \cdot R_{Sk-1} \cdot X + \cos^4 \xi_k \cdot X^4 - 8 \cdot \cos^4 \xi_k \cdot X^2 + 4 \cdot \cos^4 \xi_k - 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 + 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X - 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} + 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot X^3 - 8 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot X + 8 \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cos^2 \xi_k \cdot R_{Sk-1} \cdot X + 8 \cdot \cos^2 \xi_k \cdot X^2 - 8 \cdot \cos^2 \xi_k$

25

$$\xi_k - 8 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} + 8 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X + 4)$$

【数48】 $\partial R_{Sk} / \partial \xi_k = - \{ 4 \cdot (4 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 - 4 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot X^2 + 2 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 + 2 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X + 2 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} + 2 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X^3 - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - 2 \cdot \cosh^2 \xi_k \cdot R_{Sk-1}^2 + 2 \cdot \cosh^2 \xi_k \cdot X^2 + 2 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 - 2 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X + 2 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 + 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} - 2 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X^3 - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X + \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^4 + 2 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 \cdot X^2 + \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot X^4 - 4 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k - \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 + \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X - \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 - 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + \cosh \xi_k \cdot \sinh \xi_k \cdot X^3 + 2 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X - 2 \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 + 2 \cdot \cos^2 \xi_k \cdot X^2 - \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 - \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X - \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} - \cos \xi_k \cdot \sin \xi_k \cdot X^3 + 2 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X + R_{Sk-1}^2 - X^2) \} / (\cosh^4 \xi_k \cdot R_{Sk-1}^4 + 2 \cdot \cosh^4 \xi_k \cdot R_{Sk-1}^3 \cdot X^2 + 8 \cdot \cosh^4 \xi_k \cdot R_{Sk-1}^2 + 8 \cdot \cosh^4 \xi_k \cdot R_{Sk-1} \cdot X + \cosh^4 \xi_k \cdot X^4 + 8 \cdot \cosh^4 \xi_k \cdot X^2 + 4 \cdot \cosh^4 \xi_k \cdot \xi_k + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} + 4 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot X^3 + 8 \cdot \cosh^3 \xi_k \cdot \sinh \xi_k \cdot X - 2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^4 - 4 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot R_{Sk-1}^3 \cdot X^2 - 2 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k \cdot X^4 + 8 \cdot \cosh^2 \xi_k \cdot \cos^2 \xi_k + 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X + 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot \xi_k \cdot R_{Sk-1} - 4 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X^3 - 8 \cdot \cosh^2 \xi_k \cdot \cos \xi_k \cdot \sin \xi_k \cdot X - 8 \cdot \cosh^2 \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cosh^2 \xi_k \cdot R_{Sk-1} \cdot X - 8 \cdot \cosh^2 \xi_k \cdot X^2 - 8 \cdot \cosh^2 \xi_k - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^3 - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1}^2 \cdot X - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} - 4 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X^3 + 8 \cdot \cosh \xi_k \cdot \cos^2 \xi_k \cdot \sinh \xi_k \cdot X + 8 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cosh \xi_k \cdot \cos \xi_k \cdot \sinh \xi_k \cdot \sin \xi_k \cdot X^2 - 8 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot R_{Sk-1} - 8 \cdot \cosh \xi_k \cdot \sinh \xi_k \cdot X + \cos^4 \xi_k \cdot R_{Sk-1}^4 + 2 \cdot \cos^4 \xi_k \cdot R_{Sk-1}^3 \cdot X^2 - 8 \cdot \cos^4 \xi_k \cdot R_{Sk-1}^2 + 8 \cdot \cos^4 \xi_k \cdot R_{Sk-1} \cdot X + \cos^4 \xi_k \cdot X^4 - 8 \cdot \cos^4 \xi_k \cdot X^2 + 4 \cdot \cos^4 \xi_k - 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^3 + 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}^2 \cdot X - 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} \cdot X^2 + 8 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot R_{Sk-1} + 4 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot X^3 - 8 \cdot \cos^3 \xi_k \cdot \sin \xi_k \cdot X + 8 \cdot \cos^2 \xi_k \cdot R_{Sk-1}^2 - 8 \cdot \cos^2 \xi_k \cdot R_{Sk-1} \cdot X + 8 \cdot \cos^2 \xi_k \cdot X^2 - 8 \cdot \cos^2 \xi_k - 8 \cdot \cos \xi_k \cdot \sin \xi_k \cdot R_{Sk-1}$

26

$$+ 8 \cdot \cos \xi_k \cdot \sin \xi_k \cdot X + 4)$$

【0085】ここで、数47で表される偏微分係数 $\partial R_{Sk} / \partial X$ と数48で表される偏微分係数 $\partial R_{Sk} / \partial \xi_k$ に $R_{Sk-1} = \tan \xi_k$ と $X = -\tan \xi_k$ を代入すると偏微分係数 $\partial R_{Sk} / \partial X$ と偏微分係数 $\partial R_{Sk} / \partial \xi_k$ は共に0になる。すなわち $R_{Sk-1} = \tan \xi_k$ と $X = -\tan \xi_k$ のときに、規格化表面抵抗 R_{Sk} は極値をとる。一方、図7は、Q上昇率RQを規格化表面抵抗 R_{Sk} の逆数で定義して、Q上昇率RQを高さ方向にとって、Q上昇率RQの値を規格化導体膜厚 ξ_k とリアクタンス X_W に対応させて表した3次元グラフである。ここで、リアクタンス X_W は計算する上での便宜上、 $X_W = -X$ になるように定義したものである。図7からわかるように $\xi_k = \tan^{-1}(R_{Sk-1})$ 、 $X_W = R_{Sk-1}$ のとき、すなわち $R_{Sk-1} = \tan \xi_k$ 、 $X = -\tan \xi_k$ のときQ上昇率RQは極大値をとり、規格化表面抵抗 R_{Sk} は極小値である最小値をとる。

【0086】以上のことから規格化表面抵抗 R_{Sk} が最小になるための条件は次の数49と数50で与えられる。

【0087】

【数49】 $\xi_k = \tan^{-1}(R_{Sk-1})$

【数50】 $W_{k-1} = R_{Sk-1} + X_{Sk-1}$

【0088】ここで、数49は後の便宜上のために次の数51のように書き換えておく。

【0089】

【数51】 $R_{Sk-1} = \tan \xi_k$

【0090】規格化表面抵抗 R_{Sk} の最小条件である数50と数51を数41に代入して整理すると漸化式は次の数52のようになる。

【0091】

【数52】

$$Z_{Sk} = Z_k + \{ Y_k + \{ Z_k + (1-j) \tan \xi_k \}^{-1} \}^{-1}$$

【0092】さらに、数34で表される規格化複素インピーダンス Z_k と数35で表される規格化複素アドミタンス Y_k を、次の数53と数54で与えられる公知の公式を用いて変形した後に数52に代入して、数52を整理すると規格化表面インピーダンス Z_{Sk} は次の数55のような簡単な式で表わすことができる。

【0093】

【数53】 $\tanh[(1+j)\xi_k/2] = (\sinh \xi_k + j \sin \xi_k) / (\cosh \xi_k + \cos \xi_k)$

【数54】

$$\sinh\{(1+j)\xi_k\} = \sinh \xi_k \cosh \xi_k + j \cosh \xi_k \sin \xi_k$$

【数55】 $Z_{Sk} = (1+j) \tanh \xi_k$

【0094】またこのとき、数55から明らかなように規格化表面抵抗 R_{Sk} と規格化表面リアクタンス X_{Sk} は、一致して、次の数56で表される。

【0095】

【数56】 $R_{Sk} = X_{Sk} = \tanh \xi_k$

【0096】数56を薄膜導体 $k-1$ に関して見ると、規格化導体膜厚 ξ_{k-1} を規格化表面抵抗 R_{Sk-1} が最小に

なるように設定したときには次の数57が満たされている。数57と数50、数51を用いると、規格化導体膜厚 ξ_k と規格化導体膜厚 ξ_{k-1} の関係は数58のような簡単な式で表わすことができる。また、規格化リアクタンス W_k は数56を用いると数59のように表わすことができる。従って、規格化表面抵抗 R_{sk} が最小になるための条件は、次の数58と数59によって表すことができる。

【0097】

【数57】 $R_{sk-1} = X_{sk-1} = \tanh \xi_{k-1}$

【数58】 $\xi_k = \tan^{-1} (\tanh \xi_{k-1})$

【数59】 $W_k = 2 \tanh \xi_k$

【0098】またさらに、数36と数59を組み合わせることにより規格化表面抵抗 R_{sk} が最小になるときの規格化誘電体膜厚 x_k は、次の数60のように表わすことができる。

【0099】

【数60】 $x_k = (\epsilon_a / \epsilon_s - 1)^{-1} \tanh \xi_k$

【0100】以上詳述したように、 $k \geq 2$ のときには、規格化表面抵抗 R_{sk} を最小にするための規格化導体膜厚 ξ_k は、数51又は数58を用いて容易に求めることができる。

【0101】次に、主伝送線路LN10を伝搬する共振周波数 f_0 と同じ周波数を有するTEM波の位相速度 v_a と副伝送線路LNkを伝搬する共振周波数 f_0 と同じ周波数を有するTEM波の位相速度 v_s について説明する。まず、誘電体基板10の誘電体損失は、薄膜導体kの導体損失より十分小さいので、当該誘電体損失は0とすることができ、誘電体基板10の等価回路は、図6に示すように次の数61で表されるインダクタンスL10と数62で表されるキャパシタンスC10のみを用いて表わすことができる。

【0102】

【数61】 $L10 = \mu_0 (H / y_a) (1 / \beta_0)$

【数62】 $C10 = \epsilon_a (y_a / H) (1 / \beta_0)$

【0103】従って、上記インダクタンスL10と上記キャパシタンスC10を用いると、主伝送線路LN10の特性インピーダンス Z_{0a} は、数63のように表わすことができる。また、位相速度 v_a は、共振周波数 f_0 に対応する角周波数 ω_0 と位相速度 β_0 を用いると数64のように定義され、角周波数 ω_0 は数65で表される。従って、位相速度 v_a は、上記インダクタンスL10と上記キャパシタンスC10を用いて数66のように表すことができる。

【0104】

【数63】 $Z_{0a} = \sqrt{(L10 / C10)} = (H / y_a) \sqrt{(\mu_0 / \epsilon_a)}$

【数64】 $v_a = \omega_0 / \beta_0$

【数65】 $\omega_0 = 1 / \sqrt{(L10 \cdot C10)}$

【数66】 $v_a = 1 / \sqrt{(L10 \cdot C10)} (1 / \beta_0)$

$= 1 / \sqrt{(\mu_0 \epsilon_a)}$

【0105】次に、数23で表される複素インピーダンス Z_{Ak} は、規格化導体膜厚 $\xi_k < 1$ のときには、数23の右辺を数67で表される近似式を用いて変形することができる。従って、複素インピーダンス Z_{Ak} は、数68のように表すことができる。また、 $(1+j) \times (1+j) = 2j$ であるので、数68は数69のように変形することができる。さらに、数70で表される関係式を用いて数69の右辺を変形すると、複素インピーダンス Z_{Ak} は、数71のように表すことができる。

【0106】

【数67】

$\tanh[(1+j)\xi_k/2] \approx \{(1+j)/2\} \tanh \xi_k$

【数68】 $Z_{Ak} \approx [(1+j) / (\sigma \delta_0 y_a \beta_0)] \{(1+j)/2\} \tanh \xi_k$

【数69】 $Z_{Ak} \approx [j / (\sigma \delta_0 y_a \beta_0)] \tanh \xi_k$

【数70】 $1 / \sigma \delta_0 = \sqrt{\{\omega_0 \mu_0 / (2\sigma)\}} = (\omega_0 \mu_0 / 2) \sqrt{\{2 / (\omega_0 \mu_0 \sigma)\}} = \omega_0 \mu_0 \delta_0 / 2$

【数71】

$Z_{Ak} \approx [j \omega_0 \mu_0 \delta_0 / (2 y_a \beta_0)] \tanh \xi_k$

【0107】また、規格化導体膜厚 $\xi_k < 1$ のときには、数24で表される複素アドミタンス Y_{Ak} を、数72で表される近似式を用いて変形でき、複素アドミタンス Y_{Ak} は数73のように表すことができる。

【0108】

【数72】 $\sinh[(1+j)\xi_k] \approx (1+j) \sinh \xi_k$

【数73】 $Y_{Ak} \approx \sigma \delta_0 y_a \beta_0 \sinh \xi_k$

【0109】数71から明らかなように複素インピーダンス Z_{Ak} は、導体膜厚 ξ_{ak} が表皮深さ δ_0 よりも小さい場合は、正のリアクタンス成分のみを有する。すなわち、導体膜厚 ξ_{ak} が表皮深さ δ_0 よりも小さい場合、複素インピーダンス Z_{Ak} は、インダクタンスとして振る舞う。また、数73から明らかなように、複素アドミタンス Y_{Ak} は、実数部、すなわちコンダクタンス成分のみを有する。

【0110】次に、薄膜導体kと薄膜導体k+1によって挟設された薄膜誘電体30-kによって構成される副伝送線路LNkの位相速度について説明する。

【0111】まず、副伝送線路LNkの特性インピーダンス Z_{0k} は、次の数74で表わされる。ここで、 L_k は数25で表されるインダクタンスであり、 C_k は数26で表されるキャパシタンスである。また、 L_{rk} は、正のリアクタンス成分のみを有する複素インピーダンス Z_{Ak} と正のリアクタンス成分のみを有する複素インピーダンス Z_{Ak+1} を合計した薄膜導体kと薄膜導体k+1によるインダクタンスである。従って、インダクタンス L_{rk} は、数75のように表わすことができる。

【0112】

【数74】 $Z_{0k} = \sqrt{\{(L_k + L_{rk}) / C_k\}}$

【数75】 $L_{rk} = (1/2) (\mu_0 \delta_0 / y_a) (1/$

$\beta_0) (\tanh \xi_k + \tanh \xi_{k+1})$

【0113】また、 $\xi_k < 1$ のときには、 $\tanh \xi_k \approx \tanh \xi_{k+1}$ の近似式が成り立ち、当該近似式を用いると、数75は数76のように表わすことができる。

【0114】

【数76】

$Lrk \approx (\mu_0 \delta_0 / y_a) (1 / \beta_0) \tanh \xi_k$

【0115】また、数74の右辺に数25で表される Lk と、数26で表される Ck と数75で表される Lrk を代入すると、特性インピーダンス Z_{0k} は、数77のように表わすことができ、さらにその右辺を変形することによって、数78のように表わすことができる。

【0116】

【数77】 $Z_{0k} = \sqrt{\{(\mu_0 x_{ak} / y_a) + (\mu_0 \delta_0 / y_a) \tanh \xi_k\} / (\epsilon_s y_a / x_{ak})}$

【数78】 $Z_{0k} = \sqrt{(\mu_0 / \epsilon_s) (x_{ak} / y_a) \sqrt{1 + (1 / x_k) \tanh \xi_k}}$

【0117】さらに、副伝送線路 LNk の位相速度 v_s は、次の数79で表わすことができ、数79の右辺に数25で表される Lk と、数26で表される Ck と数75で表される Lrk を代入すると、位相速度 v_s は、数80のように表わすことができ、さらにその右辺を変形することによって、数81のように表わすことができる。

【0118】

【数79】

$v_s = 1 / \sqrt{\{(Lk + Lrk) Ck\} (1 / \beta_0)}$

【数80】 $v_s = 1 / \sqrt{\{(\mu_0 x_{ak} / y_a) + (\mu_0 \delta_0 / y_a) \tanh \xi_k\} (\epsilon_s y_a / x_{ak})}$

【数81】 $v_s = \{1 / \sqrt{(\mu_0 \epsilon_s)}\} [1 / \sqrt{1 + (1 / x_k) \tanh \xi_k}]$

【0119】次に、数66で表される主伝送線路 $LN10$ の位相速度 v_a と、数81で表される位相速度 v_s の比は、数82のように表わすことができる。

【0120】

【数82】

$v_a / v_s = \sqrt{(\epsilon_s / \epsilon_a) \sqrt{1 + (1 / x_k) \tanh \xi_k}}$

【0121】次に、規格化リアクタンス W_k を表わす式である数36を変形することにより、誘電体基板10の誘電率 ϵ_a と、薄膜誘電体30-kの誘電率 ϵ_s の比は、数83のように表わすことができる。

【0122】

【数83】 $\epsilon_a / \epsilon_s = 1 + W_k / (2 x_k)$

【0123】ここで、数82に数83を代入することにより、位相速度 v_a と位相速度 v_s の比は、次の数84で表わすことができる。

【0124】

【数84】 $v_a / v_s = \sqrt{1 + (1 / x_k) \tanh \xi_k} / \sqrt{1 + W_k / (2 x_k)}$

【0125】以上のようにして求めた数84から明らかなように、主伝送線路 $LN10$ の位相速度 v_a と副伝送

線路 LNk の位相速度 v_s が一致するのは、 $v_a / v_s = 1$ のとき、すなわち、 $W_k = 2 \tanh \xi_k$ のときである。ここで、規格化リアクタンス W_k は、薄膜誘電体30-kの規格化誘電体膜厚 x_k と誘電率 ϵ_s とによって計算され、薄膜導体 k と薄膜導体 $k+1$ とによって挟設される薄膜誘電体30-kからなる副伝送線路 LNk の位相速度 v_s は、上記規格化リアクタンス W_k から計算される。

【0126】以上詳述したように、薄膜導体 k の導体膜厚 ξ_k を表皮深さ δ_0 より薄く設定した場合には、主伝送線路 $LN10$ の位相速度 v_a と副伝送線路 LNk の位相速度 v_s を一致させるための条件式は、数59に一致する。ここで、数59は上述したように、規格化導体膜厚 ξ_k が与えられたときに規格化表面抵抗 R_{sk+1} が最小になるように薄膜誘電体30-kの誘電体膜厚 x_{ak} を設定するための条件式である。すなわち、主伝送線路 $LN10$ の位相速度 v_a と副伝送線路 LNk の位相速度 v_s を一致させるように、薄膜誘電体30-kの誘電体膜厚 ξ_{ak} を設定することによって、規格化表面抵抗 R_{sk+1} を最小にすることができる。

【0127】次に、 $k=1$ のときの規格化表面インピーダンス Z_{s1} について詳述する。薄膜導体1の規格化導体膜厚 ξ_1 が1より十分大きいときの規格化表面インピーダンス Z_{s1} は、数34を用いると数85のように表わす事ができる。ここで、規格化導体膜厚 ξ_1 が1より十分大きいときとは、規格化導体膜厚 $\xi_1 \geq 3$ のことをいう。

【0128】

【数85】 $Z_1 = 1 + j$

【0129】数85から明らかなように、薄膜導体1の規格化表面抵抗 R_{s1} と規格化リアクタンス X_{s1} はともに1となり一致する。薄膜導体1の規格化導体膜厚 ξ_1 が1より十分大きいとき、すなわち規格化導体膜厚 $\xi_1 \geq 3$ のときには、 $k \geq 1$ のときのすべての k について数55乃至数60は成り立つ。従って、3より大きい規格化導体膜厚 ξ_1 を初期値として与えることによって数55乃至数60を用いてすべての k について規格化表面抵抗 R_{sk} を最小にする規格化導体膜厚 ξ_k と規格化誘電体膜厚 x_k を求めることができる。

【0130】規格化導体膜厚 ξ_1 が1より十分大きくないとき、すなわち規格化導体膜厚 $\xi_1 < 3$ のときには、規格化表面抵抗 R_{s1} と規格化表面リアクタンス X_{s1} をそれぞれ数32に数34と数35を代入して得られる規格化表面インピーダンス Z_{s1} の実数部と虚数部から求め、さらに、 $k=2$ としたときの数50と $k=1$ としたときの数36を用いて薄膜誘電体30-1の規格化誘電体膜厚 x_1 を求めることになる。

【0131】図34は、上述した規格化表面抵抗 R_{sk} を最小にするための規格化導体膜厚 ξ_k と規格化誘電体膜厚 x_k を計算して出力する最適膜厚設定計算処理装置の構成を示すブロック図である。上記最適膜厚設定計算処

理装置は、マイクロコンピュータ101とキーボード102とディスプレイ103とプリンタ104とからなる。マイクロコンピュータ101は最適膜厚設定計算処理を実行する。キーボード102は、詳細後述する所定の入力パラメータと薄膜誘電体1の規格化誘電体膜厚 ϵ_1 とを入力するための入力装置であって、入力されたデータをマイクロコンピュータ101に出力する。ここで、上記キーボード102から上記マイクロコンピュータ101への入力処理は、割り込み処理によって実行される。ディスプレイ103は、誘電体膜厚 ϵ_{a1} 乃至 ϵ_{aN+1} と誘電体膜厚 x_{a1} 乃至 x_{aN} と規格化表面インピーダンス Z_{s1} 乃至 Z_{sN+1} とQ上昇率 RQ の各計算結果を表示する。プリンタ104は、上記ディスプレイ103で表示された各計算結果を印字する。以下、図8乃至図11のフローチャートを用いて、当該最適膜厚設定計算処理装置で実行される最適膜厚設定計算処理について説明する。

【0132】図8は、図34の膜厚設定計算処理装置において実行する最適膜厚設定計算処理プログラムのメインルーチンのフローチャートである。図8に示すように、上記最適膜厚設定計算処理プログラムは、ステップS1乃至S10の処理ステップからなる。以下図8のフローチャートを用いて、最適膜厚設定計算処理プログラムについて説明する。

【0133】図8に示すように、ステップS1において、以下に示す所定の入力パラメータが入力されているかどうか判断して、所定のパラメータが入力されている場合には、ステップS2に進む。ここで、所定のパラメータとは、(1)共振周波数 f_0 、(2)誘電体基板10の誘電率 ϵ_a 、(3)各薄膜誘電体30-kの誘電率 ϵ_s 、(4)各薄膜誘電体kの導電率 σ 、(5)真空中の誘電率 ϵ_0 、(6)真空中の透磁率 μ_0 の6個のパラメータのことである。また、各薄膜誘電体kの導電率 σ は同じ値に設定され、各薄膜誘電体30-kの誘電率 ϵ_s は同じ値に設定される。ステップS2においては、初期値である正の実数の最上層の薄膜誘電体1の規格化誘電体膜厚 ϵ_1 が入力されているかどうか判断して、規格化誘電体膜厚 ϵ_1 が入力されている場合にはステップS3に進む。

【0134】次にステップS3においては、それぞれ上記入力された薄膜誘電体kの導電率 σ と共振周波数 f_0 から共振周波数 f_0 における表皮深さ δ_0 を計算して、上記計算した表皮深さ δ_0 と真空中の誘電率 ϵ_0 と真空中の透磁率 μ_0 とから数37を用いて空気層の規格化インピーダンス Z_L を計算してステップS4に進む。ここで、規格化インピーダンス Z_L は、最上層の薄膜誘電体1の上面から空気層を見たときの空気層の規格化インピーダンスである。ステップS4においては、計算された規格化インピーダンス Z_L が、 ∞ であるか否かを判断して、規格化インピーダンス Z_L が ∞ でないときにはステップS5に進み、規格化インピーダンス Z_L が ∞ であるときにはステップS6に進む。ステップS5では、上記入力さ

れた規格化誘電体膜厚 ϵ_1 に基づいて、後述する複素表面インピーダンスの初期値設定計算第1の処理を実行して、規格化インピーダンス Z_L が ∞ でないときの規格化表面インピーダンス Z_{s1} を計算してステップS7に進む。一方、ステップS6では、上記入力された規格化誘電体膜厚 ϵ_1 に基づいて、後述する複素表面インピーダンスの初期値設定計算第2の処理を実行して、規格化インピーダンス Z_L が ∞ であるときの規格化表面インピーダンス Z_{s1} を計算してステップS7に進む。

【0135】ステップS7では、上記ステップS5又はステップS6で計算された規格化表面インピーダンス Z_{s1} に基づいて、後述の規格化膜厚計算処理を実行して、 $k=2$ から $N+1$ までの規格化誘電体膜厚 ϵ_k と、 $k=1$ から N までの規格化誘電体膜厚 x_k を計算した後、Q上昇率 RQ を計算する。ここで、 N は薄膜誘電体 k と薄膜誘電体30-kとが交互に積層されることによって構成される副伝送線路 LN_k の数である。ステップS8では、後述する膜厚計算処理を実行して、規格化誘電体膜厚 ϵ_1 乃至 ϵ_{N+1} と規格化誘電体膜厚 x_1 乃至 x_N に基づいて、誘電体膜厚 ϵ_{a1} 乃至 ϵ_{aN+1} と誘電体膜厚 x_{a1} 乃至 x_{aN} を計算する。次に、ステップS9において、誘電体膜厚 ϵ_{a1} 乃至 ϵ_{aN+1} と、誘電体膜厚 x_{a1} 乃至 x_{aN} と、規格化表面インピーダンス Z_{s1} 乃至 Z_{sN+1} と、Q上昇率 RQ とをディスプレイ上に表示して、ステップS10に進み、誘電体膜厚 ϵ_{a1} 乃至 ϵ_{aN+1} と、誘電体膜厚 x_{a1} 乃至 x_{aN} と、規格化表面インピーダンス Z_{s1} 乃至 Z_{sN+1} と、Q上昇率 RQ とを印字して、最適膜厚設定計算処理プログラムを終了する。

【0136】図9は、ステップS5において実行される複素表面インピーダンスの初期値設定計算第1の処理のサブルーチンのフローチャートである。当該サブルーチンは、規格化インピーダンス Z_L が ∞ でないときの複素表面インピーダンスの初期値設定計算処理ルーチンである。ここで、規格化インピーダンス Z_L が ∞ でないときは、最上層の薄膜誘電体1の上面と空気層の境界における境界条件が開放条件でない場合のことである。以下、図9のフローチャートを用いて当該サブルーチンについて説明する。

【0137】ステップS51においては、最上層の薄膜誘電体1の規格化誘電体膜厚 ϵ_1 を数34と数35に代入することによって、薄膜誘電体1を記述する回路パラメータである規格化複素インピーダンス Z_1 と規格化複素アドミタンス Y_1 を計算してステップS52に進む。ステップS52において、上記規格化複素インピーダンス Z_1 と上記規格化複素アドミタンス Y_1 とステップS3で求めた空気層の規格化インピーダンス Z_L とを数32に代入することによって、規格化表面インピーダンス Z_{s1} を計算してメインルーチンに戻る。以上のように、当該サブルーチンでは、上記入力された規格化誘電体膜厚 ϵ_1 に基づいて、規格化複素インピーダンス Z_1 と規格化複素

33

アドミタンス Y_1 を計算して、上記規格化複素インピーダンス Z_1 と上記規格化複素アドミタンス Y_1 と空気層の規格化インピーダンス Z_L とから、薄膜導体1の下面から上面方向である空気層の方向を見たときの規格化表面インピーダンス Z_{s1} を、空気層の規格化インピーダンス Z_L の影響も考慮して計算している。

【0138】また、図10は、ステップS6において実行される複素表面インピーダンスの初期値設定計算第2の処理のサブルーチンのフローチャートである。当該サブルーチンは、 Z_L が ∞ であるときの複素表面インピーダンスの初期値設定計算処理ルーチンである。ここで、規格化インピーダンス Z_L が ∞ であるときは、最上層の薄膜導体1の上面と空気層の境界における境界条件が開放条件である場合のことである。以下、図10のフローチャートを用いて当該サブルーチンについて説明する。

【0139】ステップS61においては、最上層の薄膜導体1の規格化導体膜厚 ε_1 から薄膜導体1の下面から上面方向である空気層の方向を見たときの規格化表面インピーダンス Z_{s1} を、次の数86を用いて計算してメインルーチンに戻る。

【0140】

【数86】 $Z_{s1} = (1 + j) / \tanh\{(1 + j)\varepsilon_1\}$

【0141】ここで、数86の規格化表面インピーダンス Z_{s1} は、数13で表される表面インピーダンス Z_{As1} を、数31で表される表面抵抗 R_{As0} を規格化因子として用いて規格化したものであって、数86は、数13の両辺を上記表面抵抗 R_{As0} で割ったものである。以上のようにして、当該サブルーチンでは、最上層の薄膜導体1の上面と空気層の境界における境界条件が開放条件である場合の規格化表面インピーダンス Z_{s1} を計算している。

【0142】図11は、ステップS7において実行される規格化膜厚計算処理のサブルーチンのフローチャートである。図11のフローチャートを用いて、規格化膜厚計算処理について説明する。図11に示すように、ステップS71においては、 k を1に初期設定する。次にステップS72においては、規格化表面インピーダンス Z_{sk} から、上記規格化表面インピーダンス Z_{sk} の実数部である規格化表面抵抗 R_{sk} と、上記規格化表面インピーダンス Z_{sk} の虚数部である規格化表面リアクタンス X_{sk} を計算してステップS73に進む。ここで、最上層の薄膜導体1の下面から上面方向を見たときの規格化表面インピーダンス Z_{s1} は、上述のようにステップS5又はステップS6で計算され、最上層以外の薄膜導体 k の下面から上面方向を見たときの規格化表面インピーダンス Z_{sk} ($k \geq 2$)は、後述するステップS76で計算される。ステップS73では、規格化表面抵抗 R_{sk+1} が最小になるための2つの条件式のうちの一方の式である数50を用いて、ステップS72で計算した規格化表

34

面抵抗 R_{sk} と規格化表面リアクタンス X_{sk} とを加えて、規格化表面抵抗 R_{sk+1} が最小になるときの規格化リアクタンス W_k を計算してステップS74に進む。

【0143】ステップS74においては、上記入力された誘電体基板10の誘電率 ε_a と薄膜誘電体30-kの誘電率 ε_s とステップS73で計算した規格化リアクタンス W_k を、次に示す数87に代入することによって規格化誘電体膜厚 x_k を計算してステップS75に進む。ここで、数87は数36を変形することによって得られる。

【0144】

【数87】 $x_k = (\varepsilon_a / \varepsilon_s - 1)^{-1} \cdot (W_k / 2)$

【0145】ここで、ステップS74で計算される規格化誘電体膜厚 x_k によれば、数84の説明において詳述したように、主伝送線路LN10を伝送するTEM波の位相速度と副伝送線路LNkを伝送するTEM波の位相速度は一致する。言い換えれば、主伝送線路LN10を伝送するTEM波の位相速度と副伝送線路LNkを伝送するTEM波の位相速度を一致させる条件のもとで、上記規格化誘電体膜厚 x_k を計算している。

【0146】ステップS75においては、規格化表面抵抗 R_{sk+1} が最小になるための2つの条件式のうちの他方の式である数49を用いて規格化表面抵抗 R_{sk} から薄膜導体 $k+1$ の規格化導体膜厚 ε_{k+1} を計算し、ステップS76においては、上記規格化導体膜厚 ε_{k+1} から数55を用いて、規格化表面インピーダンス Z_{sk+1} を計算して、ステップS77に進む。ステップS76において、規格化表面インピーダンス Z_{sk+1} は、最上層以外の薄膜導体 $k+1$ の下面から上面方向を見たときのインピーダンスを、数31で表される表面抵抗 R_{As0} を規格化因子として規格化したものである。また、規格化表面抵抗 R_{sk+1} は薄膜導体 $k+1$ の下面から上面方向を見たときの規格化表面インピーダンス Z_{sk+1} の実数成分である。ステップS75において計算される規格化導体膜厚 ε_{k+1} は、後述する表1及び表2に示すように、1より小さい値になる。すなわち、導体膜厚 ε_{ak+1} は、共振周波数 f_0 における表皮深さ δ_0 より小さい値になる。従って、ステップS75で計算された規格化導体膜厚 ε_{k+1} によれば、主伝送線路LN10の電磁界と副伝送線路LNkの電磁界は互いに結合する。また、数55から明らかなように、ステップS76で求められる規格化表面インピーダンス Z_{sk+1} の規格化表面抵抗 R_{sk+1} と規格化表面リアクタンス X_{sk+1} は互いに等しくなる。

【0147】ステップS77において、 k の値を1だけ増加させて k を更新して設定し、次にステップS78において、 $k=N$ か否かを判断して、 $k < N$ の場合にはステップS72に進み、 $k=N$ の場合にはステップS79に進む。そして、 $k < N$ の場合には、 $k=N$ になるまでステップS72乃至S77が繰り返されて、規格化導体

膜厚 ε_2 乃至 ε_{N+1} と規格化誘電体膜厚 x_1 乃至 x_N がすべて計算される。 $k=N$ の場合には、ステップS79において、以上のようにして計算された規格化導体膜厚 ε_2 乃至 ε_{N+1} と規格化誘電体膜厚 x_1 乃至 x_N に基づいて構成された高周波電磁界結合型薄膜積層電極のQ上昇率RQを $RQ=1/\tanh \varepsilon_k$ の関係を用いて計算して、メインルーチンに戻る。

【0148】以上のように、規格化膜厚計算処理のサブルーチンでは、ステップS74において、薄膜導体 k ($k \geq 1$)の下面から上面方向を見たときの規格化表面インピーダンス Z_{sk} と誘電体基板10の誘電率 ε_0 と薄膜誘電体30-kの誘電率 ε_s とに基づいて、主伝送線路LN10を伝送するTEM波の位相速度と副伝送線路LNkを伝送するTEM波の位相速度を一致させる条件のもとで、上記薄膜誘電体30-kの規格化誘電体膜厚 x_k が計算される。そして、ステップS75において、規格化表面インピーダンス Z_{sk} に基づいて、規格化表面抵抗 R_{sk+1} が最小になり、主伝送線路LN10の電磁界と副伝送線路LNkの電磁界が互いに結合する条件のもとで、薄膜導体kの下面に上記誘電体薄膜30-kを介して形成される薄膜導体k+1の規格化導体膜厚 ε_{k+1} が計算される。ここで、規格化表面抵抗 R_{sk+1} は薄膜導体k+1の下面から上面方向を見たときの規格化表面インピーダンス Z_{sk+1} の実数成分である。

【0149】この時、 $k=1$ の場合には、ステップS5又はステップS6で計算された最上層の薄膜導体1の下面から上面方向を見たときの規格化表面インピーダンス Z_{s1} を用いて、最上層の薄膜導体1の下面に接するように形成される薄膜誘電体30-1の規格化誘電体膜厚 x_1 と、上記最上層の薄膜導体1の下面に上記薄膜誘電体30-1を介して形成される薄膜導体2の規格化導体膜厚 ε_2 が計算される。

【0150】また、 $k \geq 2$ の場合には、ステップS76で計算される最上層以外の薄膜導体kの下面から上面方向を見たときの規格化表面インピーダンス Z_{sk} をもちいて、薄膜導体kの下面に接するように形成される薄膜誘電体30-kの規格化誘電体膜厚 x_k と、薄膜導体kの下面に上記薄膜誘電体30-kを介して形成される薄膜導体k+1の規格化導体膜厚 ε_{k+1} が計算される。

【0151】上記規格化膜厚計算処理のサブルーチンによれば、 $k \geq 1$ の全ての場合において、上層の薄膜導体kの下面における表面インピーダンス Z_{sk} が計算されると、上記表面インピーダンス Z_{sk} に基づいて、同じ数式を用いて、薄膜導体kの下面に接するように形成される薄膜誘電体30-kの規格化誘電体膜厚 x_k と、薄膜導体kの下面に上記薄膜誘電体30-kを介して形成される薄膜導体k+1の規格化導体膜厚 ε_{k+1} は、上記薄膜導体k+1の下面における表面抵抗 R_{sk+1} が最小になるように計算される。従って、上記薄膜導体kの下面から上面方向の構造が薄膜導体と薄膜誘電体が積層さ

れた構造が導体のみからなる構造かによらず上記規格化誘電体膜厚 x_k と規格化導体膜厚 ε_{k+1} が上記薄膜導体k+1の下面における表面抵抗 R_{sk+1} が最小になるように計算できる。

【0152】次に、ステップS8の膜厚計算処理のサブルーチンについて説明する。ステップS7の規格化膜厚計算処理において計算された規格化導体膜厚 ε_k と規格化誘電体膜厚 x_k は、それぞれ数22と数38で表されるように表皮深さ δ_0 を規格化因子として規格化された値である。従って、ステップS8の膜厚計算処理のサブルーチンにおいては、上記各規格化導体膜厚 ε_k と上記各規格化誘電体膜厚 x_k に表皮深さ δ_0 を乗じることにより各導体膜厚 a_k と各誘電体膜厚 x_{ak} を計算してメインルーチンに戻る。ここで、表皮深さ δ_0 は数5から明らかのように、高周波電磁界結合型薄膜積層電極の使用周波数 f_0 に対応する角周波数 ω_0 と真空中の透磁率 μ_0 と薄膜導体kの導電率 σ とから計算される。

【0153】以上のようにして計算された導体膜厚 a_k と誘電体膜厚 x_{ak} に基づいて、下面に接地導体11を備えた誘電体基板10の上面に、スパッタリング装置を用いて、連続的に金、銀、銅、又はアルミニウム等の金属材料を上記計算された導体膜厚 a_{k+1} になるまで連続的に堆積させることにより、薄膜導体N+1を形成する。そして、上記形成した薄膜導体N+1の上面に、スパッタリング装置を用いて、SiO₂等の誘電体材料を上記計算された誘電体膜厚 x_{aN} になるまで連続的に堆積させることにより薄膜誘電体30-Nを形成する。同様に、最上層の薄膜導体1まで、交互に薄膜導体kと薄膜誘電体30-kを形成する。以上のようにして、上記各導体膜厚 a_k と上記各誘電体膜厚 x_{ak} を各薄膜導体kと各薄膜誘電体30-k毎に規格化表面抵抗 R_{sk} が最小になるように各薄膜導体kと各薄膜誘電体30-kの膜厚を設定してそれらを形成することができる。

【0154】上述のように、図8のフローチャートで示した最適膜厚設定計算処理プログラムでは、ステップS3において、表皮深さ δ_0 を計算して、計算された表皮深さ δ_0 を用いて空気層のインピーダンス Z_L を計算するようにしたが、共振周波数 f_0 、誘電体基板10の誘電率 ε_0 、各薄膜誘電体30-kの誘電率 ε_s 、各薄膜導体kの導電率 σ 、真空中の誘電率 ε_0 、真空中の透磁率 μ_0 の入力パラメータを入力するときに、共振周波数 f_0 に換えて表皮深さ δ_0 を入力するようにして、入力された表皮深さ δ_0 を用いて、空気層のインピーダンス Z_L を計算するようにしてもよい。

【0155】上述のように、上記各薄膜導体kと上記各薄膜誘電体30-kの膜厚の設定は、スパッタリング装置を用いたが、本発明はこれに限らず、蒸着装置、プラズマCVD等の他の薄膜形成装置を用いてもよい。

【0156】以上のようにして、上記最適膜厚設定計算処理プログラムを用いて、薄膜導体1の規格化導体膜厚

ξ_1 が正の実数であれば、規格化導体膜厚 ξ_1 の値に応じて規格化表面抵抗 R_{S1} を最小にする規格化導体膜厚 ξ_k 及び規格化誘電体膜厚 x_k を求めることができる。また、規格化導体膜厚 ξ_1 が $\xi_1 \geq 3$ のどのような値であっても、数56から明らかなように規格化表面抵抗 R_{S1} と規格化リアクタンス X_{S1} はともに1に等しいと近似することができるので、規格化表面抵抗 R_{S1} を最小にする規格化導体膜厚 ξ_k 及び規格化誘電体膜厚 x_k の計算結果は、ほぼ同じ値になる。

【0157】上記最適膜厚設定計算処理プログラムを用いて、具体的な計算例として薄膜導体1の規格化導体膜厚 ξ_1 が1よりも十分大きな値である ∞ としたときの計算結果を図12乃至図15に示す。

【0158】図12は、規格化表面抵抗 R_{S1} が最小になるときの規格化導体膜厚 ξ_k と規格化表面抵抗 R_{S1} の値が計算フローにしたがって求められる様子を示すグラフである。図12において、上述のように規格化導体膜厚 ξ_1 を ∞ としているので、 $k=1$ のときの規格化表面抵抗 R_{S1} は数56から $\tanh \infty$ に等しく図示はしていないが1になる。次に規格化表面抵抗 R_{S2} が最小になるための規格化導体膜厚 ξ_2 は数51から $1 = R_{S1} = \tanh \xi_2$ を満たす必要があるので、図12のグラフ中、規格化表面抵抗 R_{S1} が1、規格化導体膜厚 ξ_k が ξ_2 である点は $\tanh \xi_k$ 上に位置する。また、規格化表面抵抗 R_{S2} が最小になるときの規格化表面抵抗 R_{S2} は数56から $R_{S2} = \tanh \xi_2$ で表され、図12のグラフ中、規格化表面抵抗 R_{S1} が R_{S2} 、規格化導体膜厚 ξ_k が ξ_2 である点は $\tanh \xi_k$ 上に位置する。以下同様にして、規格化表面抵抗 R_{Sk} が最小になるときの規格化導体膜厚 ξ_k と規格化表面抵抗 R_{Sk-1} で表されるグラフ上の点は、 $R_{Sk-1} = \tanh \xi_k$ の線上に位置するように求められ、規格化表面抵抗 R_{Sk} が最小になるときの規格化導体膜厚 ξ_k と規格化表面抵抗 R_{Sk} で表されるグラフ上の点は、 $R_{Sk} = \tanh \xi_k$ の線上に位置す *

*るように求められる。

【0159】図13は、積層数を50としたときの積層番号 k と規格化表面抵抗 R_{Sk} が最小になるための規格化導体膜厚 ξ_k との関係を示したグラフである。図13は $k \geq 2$ においては規格化表面抵抗 R_{Sk} が最小になるための規格化導体膜厚 ξ_k はすべて1より小さく、かつ規格化導体膜厚 ξ_k は k が大きいほど、すなわちより下層の薄膜導体 k の規格化導体膜厚 ξ_k ほど小さくなることを示している。また、図14は積層番号 k までの規格化導体膜厚 ξ_1 乃至 ξ_k と規格化誘電体膜厚 x_1 乃至 x_{k-1} を規格化表面抵抗 R_{Sk} が最小になるように設定したときの積層番号 k と規格化表面抵抗 R_{Sk} の関係を示したグラフである。図14は k が大きいほどすなわち積層数が多いほど、規格化導体膜厚 ξ_1 乃至 ξ_k と規格化誘電体膜厚 x_1 乃至 x_{k-1} を規格化表面抵抗 R_{Sk} が最小になるように設定することにより規格化表面抵抗 R_{Sk} を小さくできることを示している。図15は、積層番号 k と図14の規格化表面抵抗 R_{Sk} の逆数であるQ上昇率 RQ との関係を示すグラフである。図14の規格化表面抵抗 R_{Sk} は最小になるように設定されているので、図15のQ上昇率 RQ は積層数 k におけるQ上昇率 RQ の最大値を示している。図15は k が大きいほどすなわち積層数が多いほどQ上昇率 RQ の最大値を大きくできることを示している。

【0160】表1は薄膜導体1の規格化導体膜厚 ξ_1 を ∞ としたときに規格化表面抵抗 R_{S1} が最小になるための規格化導体膜厚 ξ_k を積層数30まで求め、その結果と規格化表面抵抗 R_{Sk} である $\tanh \xi_k$ とQ上昇率 RQ である $1/\tanh \xi_k$ の計算結果とともに表にしたものである。

【0161】

【表1】

k	ξ_k	$R_{Sk} = \tanh \xi_k$	$RQ = 1/\tanh \xi_k$
1	∞	1.00000	1.00000
2	0.78539	0.65579	1.52486
3	0.58043	0.52298	1.91210
4	0.48186	0.44773	2.23345
5	0.42096	0.39774	2.51416
6	0.37856	0.36145	2.76656
7	0.34684	0.33357	2.99782
8	0.32196	0.31128	3.21248
9	0.30177	0.29293	3.41367
10	0.28496	0.27749	3.60366
11	0.27068	0.26426	3.78412
12	0.25835	0.25275	3.95636
13	0.24757	0.24263	4.12142
14	0.23803	0.23363	4.28011

39		(21)	40
15	0.22952	0.22557	4.43313
16	0.22186	0.21829	4.58103
17	0.21491	0.21167	4.72432
18	0.20859	0.20561	4.86338
19	0.20279	0.20005	4.99858
20	0.19745	0.19492	5.13021
21	0.19250	0.19016	5.25855
22	0.18792	0.18574	5.38383
23	0.18364	0.18161	5.50627
24	0.17965	0.17774	5.62604
25	0.17590	0.17411	5.74331
26	0.17238	0.17069	5.85823
27	0.16907	0.16747	5.97095
28	0.16593	0.16443	6.08157
29	0.16297	0.16154	6.19022
30	0.16016	0.15880	6.29700

【0162】また、表2は薄膜導体1の規格化導体膜厚 ξ_1 を $\pi/2$ としたときに規格化表面抵抗 R_{Sk} が最小になるための規格化導体膜厚 ξ_k を積層数30まで求め、その結果と規格化表面抵抗 R_{Sk} である $\tanh \xi_k$ と Q 上昇 * 【表2】

* 率 RQ である $1/\tanh \xi_k$ の計算結果とともに表にしたものである。 【0163】

k	ξ_k	$R_{Sk} = \tanh \xi_k$	$RQ = 1/\tanh \xi_k$
1	$\pi/2$	0.91715	1.09033
2	0.74221	0.63047	1.58609
3	0.56252	0.50985	1.96135
4	0.47149	0.43940	2.27578
5	0.41401	0.39187	2.55184
6	0.37348	0.35703	2.80086
7	0.34292	0.33008	3.02949
8	0.31882	0.30844	3.24206
9	0.29918	0.29056	3.44153
10	0.28278	0.27547	3.63006
11	0.26881	0.26251	3.80927
12	0.25672	0.25122	3.98042
13	0.24613	0.24128	4.14452
14	0.23675	0.23243	4.30236
15	0.22837	0.22448	4.45461
16	0.22082	0.21730	4.60183
17	0.21397	0.21077	4.74448
18	0.20773	0.20479	4.88297
19	0.20200	0.19929	5.01764
20	0.19671	0.19422	5.14879
21	0.19183	0.18951	5.27668
22	0.18729	0.18513	5.40154
23	0.18305	0.18104	5.52358
24	0.17910	0.17721	5.64298
25	0.17539	0.17361	5.75991
26	0.17190	0.17022	5.87451

41			42
27	0.16861	0.16703	5.98692
28	0.16550	0.16400	6.09725
29	0.16256	0.16114	6.20563
30	0.15977	0.15842	6.31214

【0164】表1、表2から図13乃至図15と同様、以下のことが分かる。

(a) 規格化表面抵抗 R_{sk} が最小になるための規格化導体膜厚 ε_k は、 $k \geq 2$ ではすべて1より小さくなり、かつ k が大きいくほど規格化導体膜厚 ε_k は小さくなる。

(b) k が大きいくほど規格化表面抵抗 R_{sk} の最小値は小さくできる。

(c) k が大きいくほど Q 上昇率 RQ は大きくできる。

【0165】また、上述の図8の最適膜厚設定計算処理プログラムのフローチャートから明らかなように、規格化表面抵抗 R_{sk} を最小にするための薄膜導体 k の規格化導体膜厚 ε_k は常に薄膜導体 k の1つ下の層である薄膜導体 $k-1$ の規格化導体膜厚 ε_{k-1} のみによって決まり、より上層の規格化導体膜厚 ε_{k+1} 、 ε_{k+2} 等には依存しない。従って、薄膜導体層が5層の場合における規格化表面抵抗 R_{ss} を最小にするための薄膜導体1乃至5の規格化導体膜厚 ε_1 乃至 ε_5 は、表1又は表2の k が1から5までの規格化導体膜厚 ε_k で与えられ、薄膜導体層が10層の場合における規格化表面抵抗 R_{s10} を最小にするための薄膜導体1乃至10の規格化導体膜厚 ε_1 乃至 ε_{10} は、表1又は表2の k が1から10までの規格化導体膜厚 ε_k で与えられる。

【0166】次に規格化表面抵抗 R_{sk-1} が与えられたときに、規格化表面抵抗 R_{sk} が規格化表面抵抗 R_{sk-1} より小さくなるときの規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る値の範囲を求める。

【0167】図21乃至図28は、規格化表面抵抗 R_{sk-1} が後述する特定の値であると仮定した場合に、規格化表面抵抗 $R_{sk} < \text{規格化表面抵抗 } R_{sk-1}$ になるという条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を数45を用いて計算して、規格化導体膜厚 ε_k を縦軸にとり規格化リアクタンス W_k を横軸にとって、当該領域を Q 上昇率 RQ の範囲別に表示したグラフである。上記規格化表面抵抗 R_{sk-1} の特定の値とは、1.0、0.9、0.8、0.7、0.6、0.5、0.4、0.2でありそれぞれの結果は、図21から図29まで順に表示している。ここでグラフ中、規格化表面抵抗の低減される割合は、規格化表面抵抗 $R_{sk}/\text{規格化表面抵抗 } R_{sk-1}$ の逆数を Q 上昇率 AQ として、以下のように区別して示している。

(a) 曲線Fに囲まれた領域は、 Q 上昇率が $50\% \leq Q$ 上昇率 $AQ < 60\%$ になる領域である。

(b) 曲線Eと曲線Fに挟まれた領域又は曲線Fがないときの曲線Eに囲まれた領域は、 Q 上昇率 AQ が $40\% \leq Q$ 上昇率 $AQ < 50\%$ になる領域である。

* (c) 曲線Dと曲線Eに挟まれた領域又は曲線Eがないときの曲線Dに囲まれた領域は、 Q 上昇率 AQ が $30\% \leq Q$ 上昇率 $AQ < 40\%$ になる領域である。

(d) 曲線Cと曲線Dに挟まれた領域又は曲線Dがないときの曲線Cに囲まれた領域は、 Q 上昇率 AQ が $20\% \leq Q$ 上昇率 $AQ < 30\%$ になる領域である。

(e) 曲線Bと曲線Cに挟まれた領域又は曲線Cがないときの曲線Bに囲まれた領域は、 Q 上昇率 AQ が $10\% \leq Q$ 上昇率 $AQ < 20\%$ になる領域である。

(f) 曲線Aと曲線Bに挟まれた領域又は曲線Bがないときの曲線Aに囲まれた領域は、 Q 上昇率 AQ が $0 \leq Q$ 上昇率 $AQ < 10\%$ になる領域である。

【0168】図21乃至図28から明らかなように、規格化表面抵抗 R_{sk-1} の値が1より小さくなるほど、規格化表面抵抗 R_{sk} が規格化表面抵抗 R_{sk-1} より小さくなるときの規格化導体膜厚 ε_k と規格化リアクタンス W_k のとり得る領域は狭くなる。

【0169】また、図29は、規格化表面抵抗 R_{sk} が規格化表面抵抗 R_{sk-1} より小さくなるという条件の下で規格化導体膜厚 ε_k と規格化表面抵抗 R_{sk-1} が取り得る領域を、 Q 上昇率 AQ の範囲別に表示したグラフである。このとき、規格化表面リアクタンス W_k は $2R_{sk}$ になるように設定した。また、グラフ中、 Q 上昇率 AQ は以下のように区別して示している。

(a) 曲線Fと $R_{sk-1}=1$ のグラフ上の仮想的な直線に囲まれた領域は、 Q 上昇率 AQ が $50\% \leq Q$ 上昇率 $AQ < 60\%$ になる領域である。

(b) 曲線Eと曲線Fに挟まれた領域は、 Q 上昇率 AQ が $40\% \leq Q$ 上昇率 $AQ < 50\%$ になる領域である。

(c) 曲線Dと曲線Eに挟まれた領域は、 Q 上昇率 AQ が $30\% \leq Q$ 上昇率 $AQ < 40\%$ になる領域である。

(d) 曲線Cと曲線Dに挟まれた領域は、 Q 上昇率 AQ が $20\% \leq Q$ 上昇率 $AQ < 30\%$ になる領域である。

(e) 曲線Bと曲線Cに挟まれた領域は、 Q 上昇率 AQ が $10\% \leq Q$ 上昇率 $AQ < 20\%$ になる領域である。

(f) 曲線A及び $\varepsilon_k=0$ である横軸と曲線Bに挟まれた領域は、 Q 上昇率 AQ が $0 \leq Q$ 上昇率 $AQ < 10\%$ になる領域である。

【0170】以上の結果をもとに第一の実施例において、各パラメータは以下のように設定して構成した。

(1) 共振周波数 $f_0 = 2.0 \text{ GHz}$ 、(2) 誘電体基板10の比誘電率 $\varepsilon_{r10} = 9.93$ 、(3) 各薄膜誘電体30-kの比誘電率 $\varepsilon_{rs} = 3.80$ 、(4) 各薄膜導体 k の導電率 $\sigma = 5.18 \times 10^7 \text{ S/m}$ 、(5-1) 薄膜導体1の導体膜厚 $\varepsilon_{a1} = 2.46 \text{ } \mu\text{m}$ 、(5-2) 薄膜導体2の

導体膜厚 $\varepsilon a_2 = 1.16 \mu\text{m}$ 、(5-3)薄膜導体3の導体膜厚 $\varepsilon a_3 = 0.88 \mu\text{m}$ 、(5-4)薄膜導体4の導体膜厚 $\varepsilon a_4 = 0.75 \mu\text{m}$ 、(5-5)薄膜導体5の導体膜厚 $\varepsilon a_5 = 0.65 \mu\text{m}$ 、(6)薄膜導体1乃至5の導体幅 $y_a = 5.0\text{mm}$ 、(7)接地導体11の厚み $d = 5.00 \mu\text{m}$ 、(8-1)薄膜誘電体30-1の誘電体膜厚 $x_{a1} = 1.08 \mu\text{m}$ 、(8-2)薄膜誘電体30-2の誘電体膜厚 $x_{a2} = 0.74 \mu\text{m}$ 、(8-3)薄膜誘電体30-3の誘電体膜厚 $x_{a3} = 0.65 \mu\text{m}$ 、(8-4)薄膜誘電体30-4の誘電体膜厚 $x_{a4} = 0.52 \mu\text{m}$ 、(9)誘電体基板10の厚み $H = 330 \mu\text{m}$ 。

【0171】本発明者は、以上のように構成した第1の実施例の1/2波長線路型共振器について、図6を参照して説明した1/2波長線路型共振器の等価回路に基づいてコンピュータ・シミュレーションを行い、その結果を図16と図17に示す。図16は、図1の1/2波長線路型共振器の各薄膜導体1乃至5を流れる電流の相対振幅の周波数特性を示すグラフであり、図16において、I1乃至I5はそれぞれ各薄膜導体1乃至5を流れる電流の相対振幅値である。図17は、図1の1/2波長線路型共振器の各薄膜導体1乃至5を流れる電流の位相差の周波数特性を示すグラフであり、ここで、図17において、P1及びP5は周波数が2GHzのときに薄膜導体5を流れる電流の位相を0としたときのそれぞれ薄膜導体1及び5に流れる電流の位相差である。また、本シミュレーションにおいて用いた誘電体基板10の実効誘電率 $\varepsilon_a(\text{eff})$ は、8.85である。当該実効誘電率 $\varepsilon_a(\text{eff})$ 公知の方法を用いて誘電体基板10の厚さ H と誘電体基板の誘電率 ε_a と薄膜導体5の導体幅 y_a とによって求めることができる。

【0172】図16から分かるように、各薄膜導体1乃至5を流れる電流の相対振幅値は共振周波数2000MHzにおいて最大となり、その共振周波数におけるの薄膜導体1乃至5を流れる電流の相対振幅値は上層の薄膜導体1から下層の薄膜導体5に向かうほど小さくなる。また、図17から分かるように、共振周波数2000MHzにおけるの各薄膜導体1乃至5を流れる電流の位相差が0°となつて一致し、周波数1990、2010MHzにおいて概ね $\pm 90^\circ$ となっている。

【0173】以上のシミュレーションの結果から、第1の実施例の1/2波長線路型共振器では、その共振周波数である2000MHzにおいて隣接する伝送線路間LN1とLN2、LN2とLN3、LN3とLN4、LN4とLN10で各電磁界が互いに結合し、かつ主伝送線路LN10及び副伝送線路LN1乃至LN4を伝搬する各TEM波の位相速度が実質的に一致していることが分かる。

【0174】以上のように構成された1/2波長線路型共振器の動作について以下に説明する。上述のように、

(a) 各薄膜誘電体30-1乃至30-4の誘電体膜厚

x_{a1} 乃至 x_{a4} と誘電率 ε_s を上述したように所定値に設定することによって、各伝送線路LN1乃至LN5を伝搬する各TEM波の位相速度を互いに実質的に一致させている。

(b) 各薄膜導体2乃至5の導体膜厚 εa_2 乃至 εa_5 を、使用周波数の表皮深さ δ_0 よりも薄い所定の膜厚に設定することによって、上記各隣接する伝送線路間LN1とLN2、LN2とLN3、LN3とLN4、LN4とLN10で各電磁界を互いに結合させている。これにより、主伝送線路LN10に流れる高周波エネルギーを副伝送線路LN4、LN3、LN2、LN1に移行させ、各薄膜導体1乃至5においてそれぞれ高周波電流が流れるように構成され、かつ各薄膜導体1乃至5に流れる高周波電流は実質的に互いに同位相となる。これによって、各薄膜導体1乃至5において同位相で流れる高周波電流は、実効的に表皮深さ δ_0 を増大させて、高周波による表皮効果を大幅に抑圧している。

【0175】また、最上層の導体層である薄膜導体1の導体膜厚 εa_1 は、より上層に高周波エネルギーを移行させる必要はなく、薄膜導体1自身の表面抵抗が最小になる使用周波数の表皮深さ δ_0 の $\pi/2$ 倍に設定されている。従って、薄膜導体1の内部における薄膜誘電体30-1から空気層に向かう方向の電流密度分布は、薄膜導体1と空気層の境界で反射される電磁波が励起する電流によって、薄膜導体1が十分厚いときにおける電流分布とは異なり、指数関数的に減衰することはない。これによって、薄膜導体1自身においても表皮効果が緩和されて薄膜導体1自身の表面抵抗が低減される。さらに薄膜導体1は使用周波数の表皮深さ δ_0 より大きく設定されているので放射損失も小さく抑えている。以上のようにして、薄膜導体1は使用周波数の表皮深さの $\pi/2$ 倍に設定されているので、薄膜導体1の導体損失と放射損失を合計した全体の損失は最小になる。

【0176】図18は、図1の1/2波長線路型共振器の動作を示すその長手方向についての図式的な縦断面図であり、長手方向を厚さ方向に比較して大幅に短縮して描いている。なお、図18において、高周波電流を実線で示し、変位電流を点線で示す。

【0177】主伝送線路LN10が高周波信号で励振されたとき、図18に示すように、最下層の薄膜導体5は、上記高周波信号のエネルギーの一部を上側の薄膜導体4に透過する。各薄膜導体1乃至4はそれぞれ、より下側の薄膜誘電体を介して入射した高周波電力の一部をより上側の薄膜導体に透過するとともに、当該高周波信号のエネルギーの一部をより下側の薄膜誘電体を介してより下側の薄膜導体に反射している。そして、隣接する2つの薄膜導体によって挟設された各薄膜誘電体30-1乃至30-4内ではそれぞれ、上記反射波と透過波とが共振しており、各導体薄膜1乃至5の上側表面近傍と下側表面近傍では互いに逆方向の対面する2つの高周波

電流（以下、対面する2つの高周波電流という。）が流れている。すなわち、各薄膜導体2乃至5の膜厚が表皮深さ δ_0 よりも薄いために、対面する2つの高周波電流は干渉し、一部を残して互いに相殺される。一方、各薄膜誘電体30-1乃至30-4には、電磁界によって変位電流が生じ、隣接する薄膜導体の表面に高周波電流を生じさせる。さらに、上記各薄膜誘電体30-1乃至30-4の各誘電体膜厚 x_{a1} 乃至 x_{a4} を、上記主伝送線路LN10と上記各副伝送線路LN1乃至LN4を伝搬する各TEM波の位相速度が互いに実質的に一致するように構成しているため、上記各薄膜導体1乃至5に流れる高周波電流は実質的に互いに同位相となる。これによって、上記各薄膜導体1乃至5において同位相で流れる高周波電流は、実効的に表皮深さを増大させる。ここで、当該1/2波長線路型共振器においては、図18に示すように、当該線路の長手方向の両端部で、変位電流は最大となり、中央部で最小となる。

【0178】また、本実施例においては、より上層の薄膜導体ほど導体膜厚が厚く設定されており、上述したようにより上層の薄膜導体にゆくにつれて、高周波電流の振幅が増加する。これによって、実質的に表皮深さを最も増加させるように動作する。さらに、最上層の薄膜導体1は、表皮深さよりも厚い表皮深さの $\pi/2$ 倍に設定されているので、薄膜導体自身の表皮深さを増加させるように動作する一方、上記高周波信号のエネルギーが自由空間に放射されないように遮蔽している。

【0179】従って、当該共振器を高周波信号で励振すると、高周波の電磁界エネルギーは、各隣接する伝送線路の電磁界の結合によって、より上の伝送線路に移行する一方、当該共振器の伝送線路の長手方向に伝搬する。このとき、当該共振器は、実効的により大きな表皮深さ δ_0 を有して、言い換えれば、より小さい表面抵抗 R_s を有して、上記TEM波が伝搬して1/2波長線路の両端部で反射するため、共振状態となる。

【0180】また、入力用伝送線路と電磁界結合型薄膜積層伝送線路との間、並びに出力用伝送線路と電磁界結合型薄膜積層伝送線路との間を比較的強い電磁結合で結合させて、当該電磁界結合型薄膜積層伝送線路を損失が極めて低い伝送線路として用いることができる。以下、当該電磁界結合型薄膜積層伝送線路のシミュレーション結果について説明する。図19は、本発明に係る薄膜積層導体を上述のように設定した場合の入力端からの伝送距離に対する各薄膜導体1乃至5と接地導体11を流れ*

各線路の電力比

* 高周波電流の電流振幅を示すグラフであり、図20は、本発明に係る薄膜積層導体を上述のように設定した場合の入力端からの伝送距離に対する各薄膜導体1乃至5と接地導体11を流れる高周波電流の位相を示すグラフである。尚、入力伝送電力は0.1mW、線路幅 y_a は5mmに設定してシミュレーションを行った。なお、図19において、I_g、I₁、I₂、I₃、I₄、及びI₅はそれぞれ、接地導体11、薄膜導体1乃至5に流れる高周波電流の電流振幅である。また、図20において、P_g、P₁、P₂、P₃、P₄、及びP₅はそれぞれ、接地導体11、薄膜導体1乃至5に流れる高周波電流の位相である。ここで、上記位相は伝送距離が0の所における薄膜導体5を流れる高周波電流の位相を0として基準にしている。

【0181】図19から明らかなように、入力端では主伝送線路LN10のみが励振され薄膜導体5のみに電流が流れるが、マイクロ波信号が伝搬するにつれて順次副伝送線路LN4、LN3、LN2、LN1が励振され薄膜導体4、3、2、1にも電流が浸透し、入力端から約4波長伝搬したところで各薄膜導体1乃至4に流れる電流値は定常値となる。また、図20から明かなように、マイクロ波信号が伝送するに従い薄膜導体4、3、2、1を流れる電流の位相P₄、P₃、P₂、P₁は薄膜導体5を流れる電流の位相と一致するようになる。これは副伝送線路LN1乃至LN4の伝送距離が小さいところでは、低損失の主伝送モードとともに高損失の不要な伝送モードが発生するために薄膜導体4、3、2、1を流れる電流の位相P₄、P₃、P₂、P₁は薄膜導体5を流れる電流の位相に一致しないが、マイクロ波信号が伝送するに従い当該不要な伝送モードは急激に減衰して主伝送モードだけが伝送するようになり、薄膜導体4、3、2、1を流れる電流の位相P₄、P₃、P₂、P₁は薄膜導体5を流れる電流の位相に一致するようになるのである。また表3に上述のシミュレーションにおける各薄膜導体1乃至4に流れる電流値が定常値になったときの主伝送線路LN10と副伝送線路LN1乃至LN4を伝送する電磁波の電力比を示す。表3に示すように当該モデルでは主伝送線路LN10に全伝送電力の99.36%の電力が伝送される一方、他の伝送電力が各副伝送線路LN1乃至LN4に分配されていることがわかる。

【0182】

【表3】

線路	電力比
LN 1	0.00062
LN 2	0.00128
LN 3	0.00194

47	
LN 4	0.00261
LN 10	0.99356

48

【0183】また、表4は定常値になったときの薄膜導体1乃至5における電流比と電流密度比である。ここで、電流比とは各薄膜導体kの上面を流れる電流と下面を流れる電流が相殺された後に実際に残る電流と薄膜導体1乃至5に流れる電流を合計したものの比である。また電流密度比とは、各薄膜導体kの電流比を導体膜厚 ε_k で割った電流密度と薄膜導体1乃至5の電流密度の * 10 各薄膜導体の電流比と電流密度比

薄膜導体	電流比	電流密度比
薄膜導体1	0.2852	0.1197
薄膜導体2	0.2110	0.1879
薄膜導体3	0.1826	0.2143
薄膜導体4	0.1665	0.2324
薄膜導体5	0.1546	0.2456

【0185】それ故、本実施例の共振器は、本発明に係る高周波電磁界結合型薄膜積層電極を備えたので、実効的に表皮深さを増大させ、これによって、導体損失及び表面抵抗を従来に比較して大幅に低減することができる。これによって、極めて大きな無負荷Qの共振器又はフィルタを、より小型・軽量化して実現することができる。

【0186】以上の第1の実施例では、薄膜導体1の規格化導体膜厚 ε_1 は最も好ましい値である $\pi/2$ になり、すなわち、最上層の薄膜導体1の膜厚を使用周波数の表皮深さ δ_0 の $\pi/2$ 倍になるように構成したが、本発明はこれに限らず、好ましい範囲である $1.14 \leq \varepsilon_1 \leq 2.75$ の範囲の任意の値になるように構成しても良い。これによって、規格化表面抵抗 R_{s1} は1より小さくすることができる。すなわち、規格化導体膜厚 ε_1 を $1.14 \leq \varepsilon_1 \leq 2.75$ の範囲内の値に設定することによって、そのときの表面抵抗 R_{s1} を、薄膜導体1の導体膜厚 ε_1 が表皮深さ δ_0 に比べて十分厚いときの薄膜導体1の表面抵抗 R_{s1} より小さくすることができる。さらに、本発明はこれに限らず規格化導体膜厚 ε_1 を1より大きい任意の値に設定しても良い。この場合積層数を増やすことによって本実施例と同様の効果を奏する。

【0187】以上の第1の実施例では、薄膜導体は5層、薄膜誘電体は4層で構成したが、本発明はこれに限定されるものではなく、さらに多くの層を積層しても良いし、少ない層で構成しても良い。層数を増やせば表面抵抗は低減され、層数を少なくすると小型にかつ安価にできる。

【0188】以上の第1の実施例の接地導体11も、上※50

* 合計との比である。表4から明らかなように上層ほど電流比は大きくなっている。これは、上層ほど膜厚を厚く設定しているためであり、電流密度比は上層ほど小さくなっている。また伝送線路における定常値になったときの電流比は共振状態にある時の電流比と一致する。

【0184】

【表4】

※述の高周波電磁界結合型薄膜積層電極構造にしてもよいし、あるいは接地導体11のみを上述の高周波電磁界結合型薄膜積層電極構造にしてもよい。さらには、第1の実施例の最上層の薄膜導体1上に保護用誘電体を形成してもよいし、当該共振器全体を保護用誘電体で囲むように形成してもよい。

【0189】以上の第1の実施例においては、主伝送線路LN10と副伝送線路LN1乃至LN4を伝搬する各TEM波の位相速度を互いに実質的に一致させるように各薄膜誘電体30-1乃至30-4の誘電体膜厚 ε_a と誘電率 ε_s を設定しているが、本発明はこれに限らず、主伝送線路LN10と、副伝送線路LN1乃至LN4のうちの少なくとも1つとを伝搬する各TEM波の位相速度を互いに実質的に一致させるように構成してもよい。また、副伝送線路LN1乃至LN4は、少なくとも1つのみを備えるように構成してもよい。

【0190】また、以上の第1の実施例においては、上記各隣接する伝送線路間LN1とLN2、LN2とLN3、LN3とLN4、LN4とLN10で電磁界が互いに結合させるように各薄膜導体1乃至5の導体膜厚 ε_k を設定しているが、本発明はこれに限らず、主伝送線路LN10と、副伝送線路LN1乃至LN4のうちの少なくとも1つとの間で電磁界が互いに結合させるように構成してもよい。

【0191】さらに、以上の第1の実施例においては、主伝送線路LN10はTEMモードの伝送線路としているが、本発明はこれに限らず、主伝送線路LN10はTEモードやTMモードなどの電磁波を伝搬させる伝送線路であってもよい。以上の第1の実施例においては、電磁界結合型薄膜積層伝送線路を用いた1/2波長線路型

共振器を用いたフィルタについて説明しているが、本発明はこれに限らず、電磁界結合型薄膜積層伝送線路を用いた1/4波長線路型共振器を用いたフィルタを構成してもよい。

【0192】以上の第1の実施例においては、最上層以外の導体膜厚 ε_{ak} は、上層程厚くなるように構成したが、本発明はこれに限らず使用周波数の表皮深さよりも薄ければ、最上層以外の膜厚を等しくしても良いし、厚い薄膜導体と薄い薄膜導体が不規則に積層されても良い。

【0193】<第2の実施例>図30は、本発明に係る第2の実施例である電磁界結合型薄膜積層伝送線路を用いた1/4波長線路型帯域除去フィルタの斜視図である。第2の実施例では、図30に示すように、裏面全面に接地導体11が形成された誘電体基板10上にストリップ導体41を形成することによってマイクロストリップ線路LN11が形成される。そして、各薄膜導体1乃至5及び各薄膜誘電体30-1乃至30-4を備え1/4 λ_g の長さを有する第1の実施例の薄膜積層電極が、マイクロストリップ線路LN11のストリップ導体41 20 に対して、最も下側の薄膜導体5が電磁的に結合するようにギャップg3だけ離れて近接し、かつ、各薄膜導体1乃至5及び各薄膜誘電体30-1乃至30-4の長手方向がストリップ導体41の長手方向と平行となるように、形成される。ここで、第2の実施例の1/4波長線路型帯域除去フィルタの各薄膜導体1乃至5の導体膜厚 ε_{a1} 乃至 ε_{a5} と各薄膜誘電体30-1乃至30-4の誘電体膜厚 x_{a1} 乃至 x_{a5} は第1の実施例と同じ厚さに構成される。

【0194】以上のように構成された回路においては、30 1/4波長線路の電磁界結合型薄膜積層伝送線路によって導体損失が極めて小さな共振器を構成することができるので、それに電磁的に結合するマイクロストリップ線路LN11を形成することによって、極めて大きな無負荷Qを有する1/4波長線路型帯域除去フィルタを構成することができる。

【0195】以上の第2の実施例において、マイクロストリップ線路LN11を用いているが、本発明はこれに限らず、コプレーナ線路、スロット線路又はトリプレート型ストリップ線路などの伝送線路で構成してもよい。 40

【0196】<変形例>また、本発明に係る高周波電磁界結合型薄膜積層電極は、例えば、特開平3-292006号公報に開示されるような、コア誘電体とキャビティとが一体成形されたTMモードシングルモード型誘電体共振器においておけるキャビティの外表面に設けた電極膜部分に適用することできる。また、TMモード誘電体共振器としては、上記TMモードシングルモード型に限らず、例えば特開昭63-313901号公報に開示されるような二重モード型誘電体共振器に適用することできるとともに、さらには、特開昭61-15710 50

1号公報に開示されるような三重モード型誘電体共振器に適用することができる。すなわち、使用モード数を問わず、TMモード誘電体共振器の電極膜部分に、本発明に係る高周波電磁界結合型薄膜積層電極を適用することができる。

【0197】図31に、変形例の二重モード型誘電体共振器75の一例を示す。誘電体の外表面がメタライズされた正方筒形状の共振器ケース77内の中央部に、ケース77と一体成形された十字形状の誘電体76が設けられて二重モード型誘電体共振器75が構成されている。ここで、共振器ケース77の電極は、本発明に係る高周波電磁界結合型薄膜積層電極を用いる。これによって、上記電極の表面抵抗を大幅に低下させることができるので、当該誘電体共振器の損失を低下させ無負荷Qを増大させることができる。

【0198】図32に、変形例のTM₀₁₀モード型2段誘電体帯域通過フィルタ80の一例を示す。当該帯域通過フィルタ80は、以下のように構成される。外周電極82を有する円筒形状の誘電体管81の両端部にそれぞれ、入出力用のSMAコネクタ83、84が取り付けられ、ここで、SMAコネクタ83、84の接地導体は外周電極82に接続される一方、SMAコネクタ83、84の中心導体にはそれぞれ、誘電体管81内で互いに向向するモノポールアンテナ85、86が接続される。上記モノポールアンテナ85、86間の誘電体管81内で、所定の間隔だけ離れて、かつ誘電体管81の内周面に内接するリング形状の誘電体支持台89、90を介して円柱形状の2つの誘電体共振器87、88が設けられる。当該帯域通過フィルタ80においても、外周電極82は、本発明に係る高周波電磁界結合型薄膜積層電極を用いる。これによって、上記外周電極82の表面抵抗を大幅に低下させることができるので、当該誘電体フィルタの損失を低下させ無負荷Qを増大させることができる。

【0199】さらに、以下に示す変形例において、本発明に係る高周波電磁界結合型薄膜積層電極を用いることにより、電極の表面抵抗を従来に比較して大幅に低減させ、これによって、伝送損失を大幅に小さくすることができる。図33の(a)は、本発明に係る高周波電磁界結合型薄膜積層電極を用いたマイクロストリップ線路の斜視図であり、当該マイクロストリップ線路のストリップ導体51及び接地導体52に高周波電磁界結合型薄膜積層電極を用いる。なお、ストリップ導体51のみに高周波電磁界結合型薄膜積層電極を用いてもよいし、接地導体52のみに高周波電磁界結合型薄膜積層電極を用いてもよい。また、図33の(b)は、本発明に係る高周波電磁界結合型薄膜積層電極を用いたトリプレート型ストリップ線路の斜視図であり、当該ストリップ線路のストリップ導体61と接地導体62、63に高周波電磁界結合型薄膜積層電極を用いる。なお、ストリップ導体6

1のみに高周波電磁界結合型薄膜積層電極を用いてもよいし、接地導体62、63の少なくとも1つのみに高周波電磁界結合型薄膜積層電極を用いてもよい。さらに、図33の(c)は、本発明に係る高周波電磁界結合型薄膜積層電極を用いた同軸線路の斜視図であり、当該同軸線路の中心導体71と接地導体72に高周波電磁界結合型薄膜積層電極を用いる。中心導体71のみに高周波電磁界結合型薄膜積層電極を用いてもよいし、接地導体72のみに高周波電磁界結合型薄膜積層電極を用いてもよい。またさらに、図33の(d)は、本発明に係る高周波電磁界結合型薄膜積層電極73を用いたTM₀₁モード円形導波管の縦断面図であり、当該円形導波管の外表面電極に高周波電磁界結合型薄膜積層電極を用いる。また、矩形導波管(図示せず)の外表面電極に高周波電磁界結合型薄膜積層電極を用いてもよい。

【0200】さらに、アイソレータ、アンテナ、チップコイルなどのインダクタ、キャパシタなどのそれぞれ所定の高周波動作を行う種々の高周波デバイスの電極に、本発明に係る高周波電磁界結合型薄膜積層電極を用いることができる。

【0201】以上の実施例において、固体の薄膜誘電体30-1乃至30-4を用いているが、本発明はこれに限らず、薄膜誘電体30-1乃至30-4の代わりに空気のような気体や液体であってもよい。

【0202】以上の実施例において、接地導体11及び薄膜導体1乃至5は、例えばCu、Ag又はAuなどの電気的導電性を有する導体になるが、本発明はこれに限らず、接地導体11及び薄膜導体1乃至5の少なくとも1つの材料として以下に示す超電導体(超伝導体)を用いてもよい。

(a) Nb、Pbなどの純金属系超電導材料。

(b) Nb-Ti合金系、Nb-Zr合金系などの合金系超電導材料。

(c) Nb₃Sn、V₃Siなどの金属間化合物系超電導材料。

(d) 以下に一例を示すセラミック系酸化物超電導材料

(d-1) 例えばLa_{1.85}Sr_{0.15}CuO₄などのLa_{2-x}Ba_xCuO_{4-δ}系又はLa_{2-x}Sr_xCuO_{4-δ}系。

(d-2) 例えばYBa₂Cu₃O₇などYBa₂Cu₃O_{7-δ}(酸素欠損量δ=0~1)。

(d-3) Bi-Sr-Ca-Cu-O系、ここで、当該Bi-Sr-Ca-Cu-O系超電導材料は、Bi₂O₃、SrCO₃、CaCO₃及びCuOの混合された粉末を800乃至870°Cの温度で仮焼した後、850乃至880°Cの温度の大気中で焼結させて得られる。

(d-4) Tl-Ba-Ca-Cu-O系、ここで、当該Tl-Ba-Ca-Cu-O系超電導材料は、Tl₂O₃、CaO、BaO及びCuOの各粉末を混合し成形した後、1気圧の酸素を含む石英管中に封入し、880°Cの温度で3時間加熱することによって主成分Tl₂

CaBa₂Cu₂O_xの超電導材料が得られる。

(d-5) EBCO系、

(d-6) BPSCCO系。

(e) 以下に一例を示す有機系超電導材料

(e-1) 例えば(TMTSF)₂ClO₄などのテトラメチルテトラセナフルバレン(tetramethyltetrasele nafulvalene: TMTSF)系超電導材料。

(e-2) 例えばβ(BEDT-TTF)₂I₃などのビス(エチレンジチオロ)テトラチアフルバレン(bis(et hyleneedithiolo)tetrathiaful-valene: BEDT-TTF)系超電導材料。

(e-3) dmit系超電導材料。

【0203】

【発明の効果】以上詳述したように本発明によれば、上記高周波電磁界結合型薄膜積層電極は、誘電体を1対の導体によって挟設して構成された第1のTEMモード伝送線路上に形成するための薄膜積層電極であって、上記誘電体の一方の側に形成される導体を最下層の薄膜導体として形成されて含み、薄膜導体と薄膜誘電体とを交互に積層することによって、上記薄膜誘電体を挟設する1対の薄膜導体によってそれぞれ構成される少なくとも1つの第2のTEMモード伝送線路が積層されてなる。また、上記電磁界結合型薄膜積層電極において、上記各薄膜誘電体の膜厚と誘電率は、上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線路を伝搬する各TEM波の位相速度を互いに実質的に一致させるように設定され、かつ上記第2のTEMモード伝送線路の最上層の薄膜導体の膜厚は使用周波数の表皮深さより厚くするとともに上記最上層以外の薄膜導体の膜厚は使用周波数の表皮深さよりも薄くして上記第1のTEMモード伝送線路と上記第2のTEMモード伝送線路の各電磁界が互いに結合するように設定されている。これによって、実効的に表皮深さを増大させることができるので、従来例に比較して簡単な構造で、表面抵抗を大幅に低減させることができる高周波電磁界結合型薄膜積層電極を提供することができる。

【0204】また、本発明に係る高周波伝送線路によれば、上記高周波電磁界結合型薄膜積層電極を備えて極めて小さい伝送損失を有する高周波伝送線路を提供することができる。

【0205】またさらに、本発明に係る高周波共振器によれば、所定の寸法を有する上記高周波伝送線路からなる極めて大きな無負荷Qを有する高周波共振器を提供することができる。

【0206】本発明に係る高周波フィルタによれば、上記高周波共振器を備えて極めて大きな無負荷Qを有する高周波フィルタを提供することができる。

【0207】本発明に係る高周波デバイスによれば、高周波電磁界結合型薄膜積層電極を備えて極めて小さい損失で所定の高周波動作を行うことができる高周波デバイス

を提供することができる。

【0208】本発明に係る高周波電磁界結合型薄膜積層電極の膜厚設定方法によれば、上記各薄膜誘電体の膜厚を上記第1のTEMモード伝送線路と上記各第2のTEMモード伝送線路を伝搬する各TEM波の位相速度が互いに実質的に一致するように設定することができ、上記各薄膜導体の膜厚を上記薄膜導体の使用周波数における表皮深さより薄く、かつ上記各導体膜厚の下面から上面方向を見たときの表面インピーダンスの実数部である表面抵抗が最小になるように設定することができる高周波電磁界結合型薄膜積層電極の膜厚設定方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明に係る第1の実施例である電磁界結合型薄膜積層伝送線路を用いた1/2波長線路型共振器を用いたフィルタの斜視図である。

【図2】 図1のA-A'線の断面図であって、図1の1/2波長線路型共振器における電界と磁界分布を示す図である。

【図3】 (a)は、図1の1/2波長線路型共振器における空気層を含む薄膜導体1の厚さ方向の分布定数型等価回路の回路図であり、(b)は、(a)の分布定数型等価回路を集中定数型に変換した集中定数型等価回路の回路図である。

【図4】 図1の1/2波長線路型共振器における規格化表面抵抗 R_{sk} と規格化導体膜厚 ϵ_k の関係を示したグラフである。

【図5】 (a)は、図1の1/2波長線路型共振器における薄膜導体kの厚さ方向の分布定数型等価回路の回路図であり、(b)は、(a)の分布定数型等価回路を集中定数型に変換した集中定数型等価回路の回路図である。

【図6】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の集中定数型等価回路の回路図である。

【図7】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極のQ上昇率RQを規格化導体膜厚 ϵ_k とリアクタンスXwで表した3次元グラフである。

【図8】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の規格化表面抵抗 R_{sk} が最小になるときの規格化導体膜厚 ϵ_k と規格化誘電体膜厚 x_k を求めるための最適膜厚設定計算処理プログラムのメインルーチンのフローチャートである。

【図9】 図8の最適膜厚設定計算処理プログラムにおける複素表面インピーダンスの初期値設定計算第1の処理のサブルーチンのフローチャートである。

【図10】 図8の最適膜厚設定計算処理プログラムにおける複素表面インピーダンスの初期値設定計算第2の処理のサブルーチンのフローチャートである。

【図11】 図8の最適膜厚設定計算処理プログラムにおける膜厚計算処理のサブルーチンのフローチャートである。

【図12】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の規格化表面抵抗 R_{sk} が最小になるときの規格化導体膜厚 ϵ_k と規格化表面抵抗 R_{sk} の値が計算フローにしたがって求められる様子を示したグラフである。

【図13】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の積層番号kと規格化表面抵抗 R_{sk} が最小になるための規格化導体膜厚 ϵ_k を積層数50まで示したグラフである。

【図14】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の、規格化表面抵抗 R_{sk} が最小になるように設定されたときの積層番号kと規格化表面抵抗 R_{sk} を積層数50まで示したグラフである。

【図15】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の規格化表面抵抗 R_{sk} が最小になるように設定されたときの、積層番号kと規格化表面抵抗 R_{sk} の逆数であるQ上昇率RQを積層数50まで示したグラフである。

【図16】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の各薄膜導体1乃至5を流れる電流の相対振幅の周波数特性を示すグラフである。

【図17】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の各薄膜導体1乃至5を流れる電流の位相差の周波数特性を示すグラフである。

【図18】 図1の1/2波長線路型共振器の動作を示すその長手方向についての図式的な縦断面図である。

【図19】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極を伝送線路としたときの、伝送距離に対する各薄膜導体1乃至5と接地導体1を流れる高周波電流の電流振幅を示すグラフである。

【図20】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極を伝送線路としたときの、伝送距離に対する各薄膜導体1乃至5と接地導体1を流れる高周波電流の位相を示すグラフである。

【図21】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体k-1の規格化表面抵抗 R_{sk-1} が1.0であると仮定した場合に、規格化表面抵抗 $R_{sk} <$ 規格化表面抵抗 R_{sk-1} の条件の下で規格化導体膜厚 ϵ_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図22】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体k-1の規格化表面抵抗 R_{sk-1} が0.9であると仮定した場合に、規格化表面抵抗 $R_{sk} <$ 規格化表面抵抗 R_{sk-1} の条件の下で規格化導体膜厚 ϵ_k と規格化リアクタンス W_k が取り得る

55

領域を、Q上昇率AQの範囲別に表示したグラフである。

【図23】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.8であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図24】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.7であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図25】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.6であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図26】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.5であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図27】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.4であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図28】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 $k-1$ の規格化表面抵抗 R_{Sk-1} が0.2であると仮定した場合に、規格化表面抵抗 $R_{Sk} < \text{規格化表面抵抗} R_{Sk-1}$ の条件の下で規格化導体膜厚 ε_k と規格化リアクタンス W_k が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図29】 図1の1/2波長線路型共振器における高周波電磁界結合型薄膜積層電極の薄膜導体 k の規格化表面抵抗 R_{Sk} が、その1つ下の層である薄膜導体 $k-1$ の

56

規格化表面抵抗 R_{Sk-1} より小さくなるという条件の下で規格化導体膜厚 ε_k と規格化表面抵抗 R_{Sk-1} が取り得る領域を、Q上昇率AQの範囲別に表示したグラフである。

【図30】 本発明に係る第2の実施例である電磁界結合型薄膜積層伝送線路を用いた1/4波長線路型帯域除去フィルタの斜視図である。

【図31】 変形例の TM_{110} 二重モード型誘電体共振器の一例を示す斜視図である。

【図32】 変形例の $TM_{01\delta}$ モード型2段誘電体帯域通過フィルタの一例を示す斜視図である。

【図33】 本発明に係る高周波電磁界結合型薄膜積層電極を用いた各種のマイクロ波線路及び導波管であり、(a)は本発明に係る高周波電磁界結合型薄膜積層電極を用いたマイクロストリップ線路の斜視図であり、

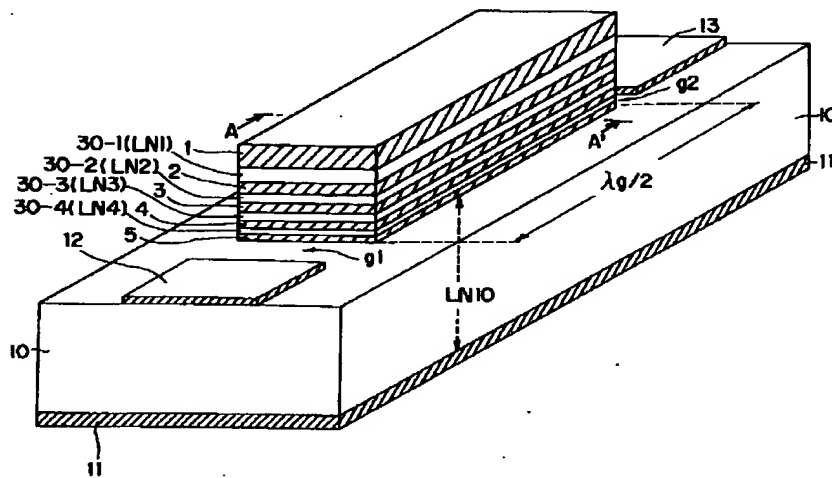
(b)は本発明に係る高周波電磁界結合型薄膜積層電極を用いたストリップ線路の斜視図であり、(c)は本発明に係る高周波電磁界結合型薄膜積層電極を用いた同軸線路の斜視図であり、(d)は本発明に係る高周波電磁界結合型薄膜積層電極を用いた TM_{01} モード円形導波管の縦断面図である。

【図34】 最適膜厚設定計算処理装置の構成を示すブロック図である。

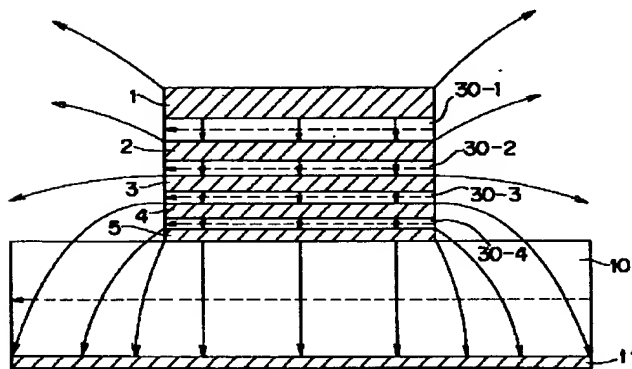
【符号の説明】

- 1, 2, 3, 4, 5...薄膜導体、
- 30-1, 30-2, 30-3, 30-4...薄膜誘電体、
- 10...誘電体基板、
- 11...接地導体、
- 30 12...入力端子用導体、
- 13...出力端子用導体、
- LN1, LN2, LN3, LN4...副伝送線路、
- LN10...主伝送線路、
- 41...ストリップ導体、
- LN11...マイクロストリップ線路、
- 51...マイクロストリップ線路のストリップ導体、
- 52...マイクロストリップ線路の接地導体、
- 61...ストリップ線路のストリップ導体、
- 62, 63...ストリップ線路の接地導体、
- 40 71...同軸線路の中心導体、
- 72...同軸線路の接地導体、
- 73...導波管の外表面電極、
- 75... TM_{110} 二重モード型誘電体共振器、
- 76...誘電体、
- 77...共振器ケース、
- 80... $TM_{01\delta}$ モード型2段誘電体帯域通過フィルタ、
- 82...外周電極。

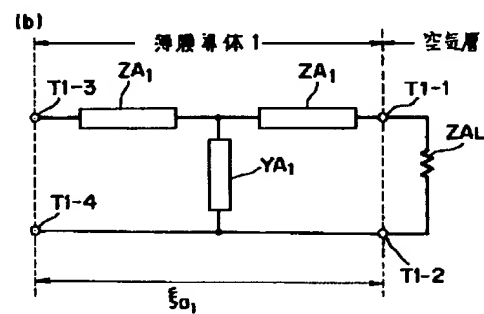
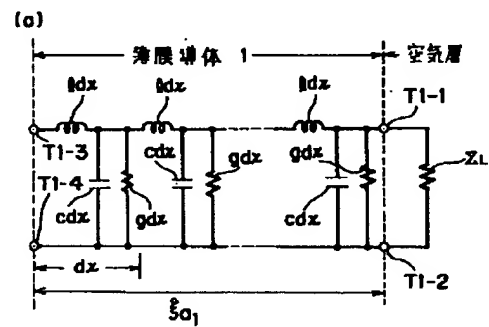
【図1】



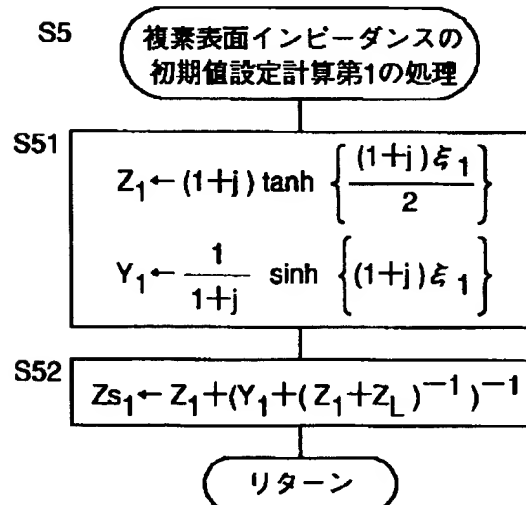
【図2】



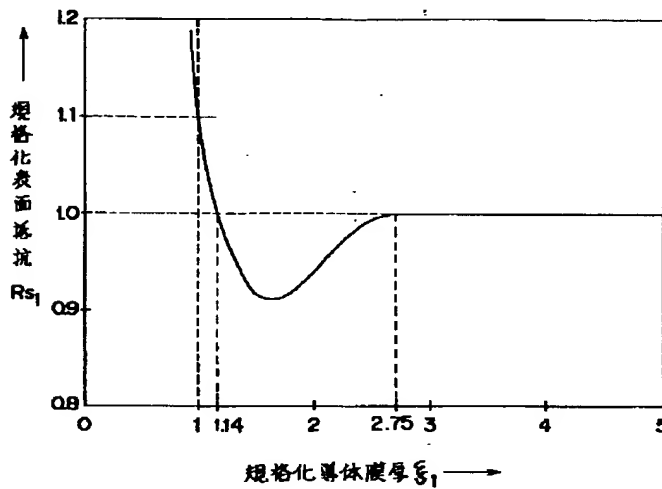
【図3】



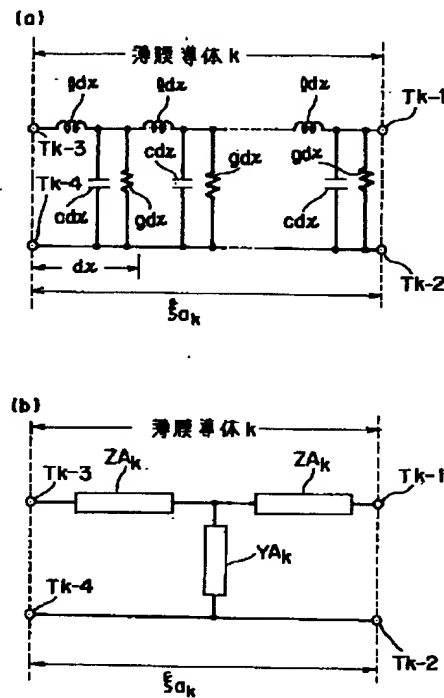
【図9】



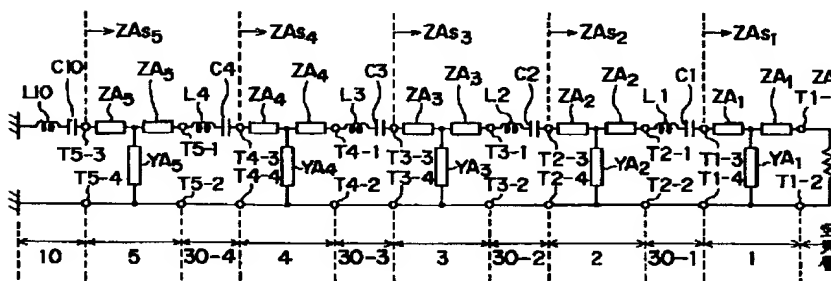
【図4】



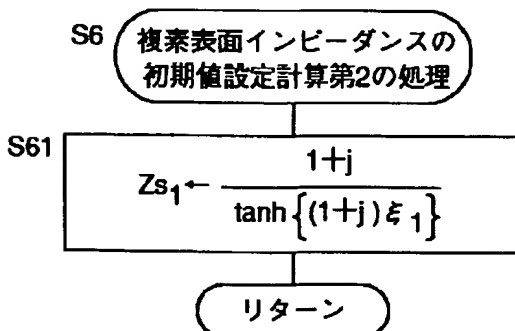
【図5】



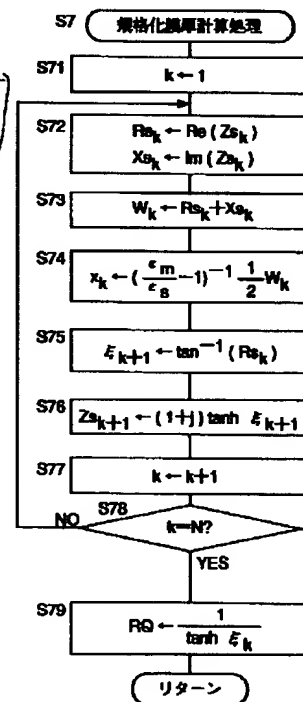
【図6】



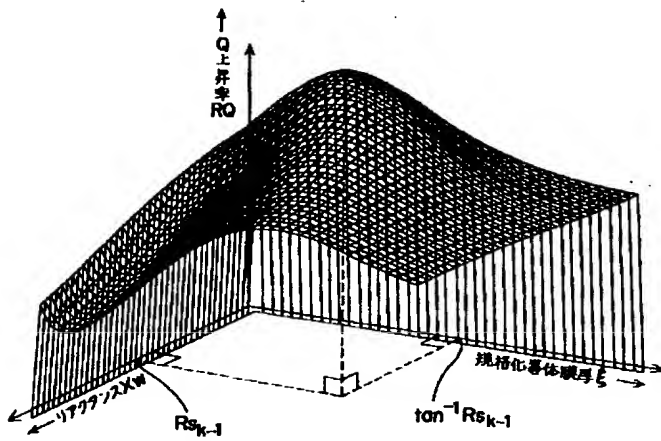
【図10】



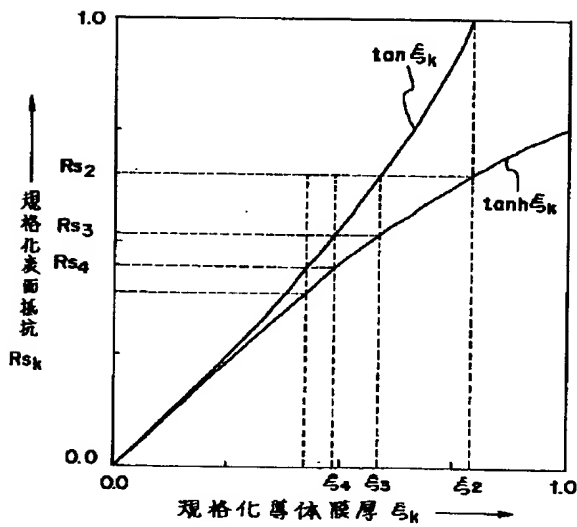
【図11】



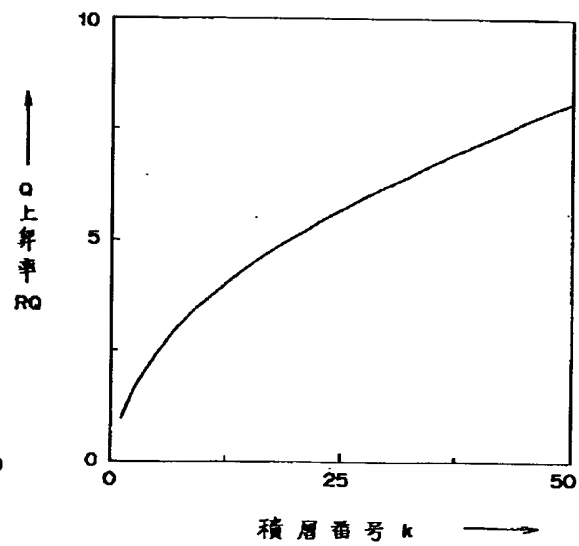
【図7】



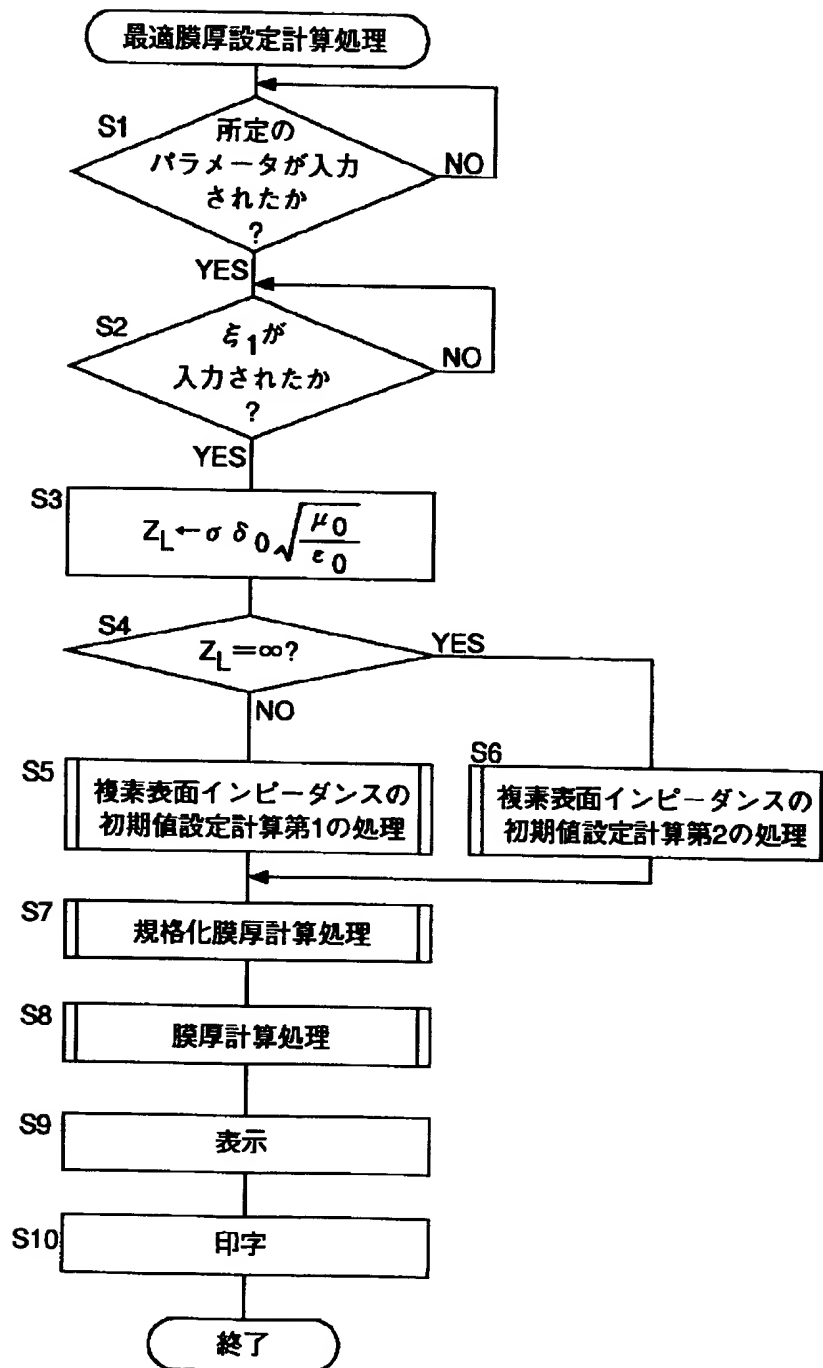
【図12】



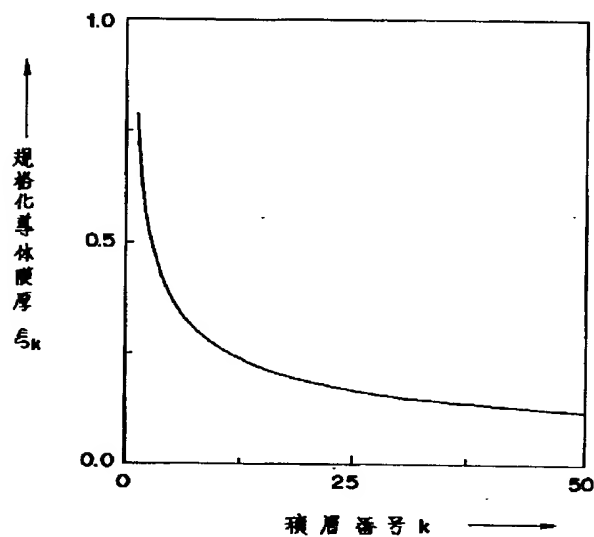
【図15】



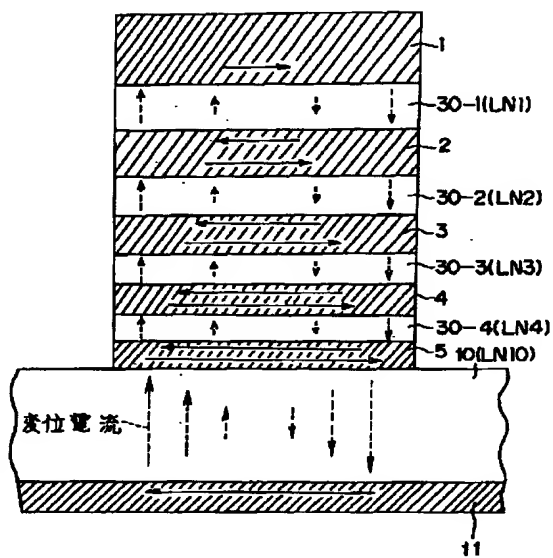
【図8】



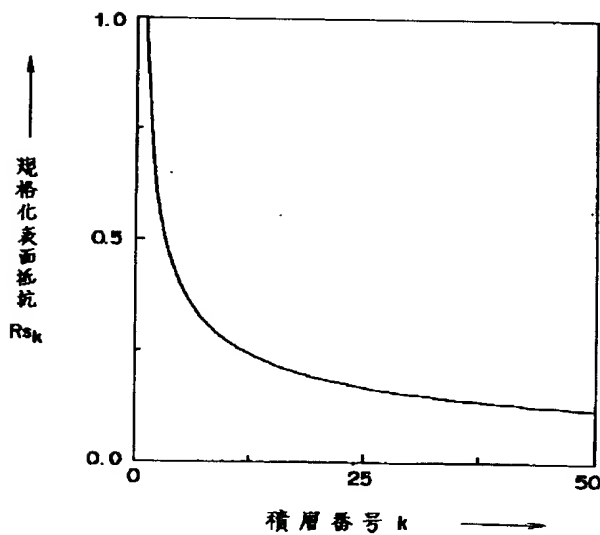
【図13】



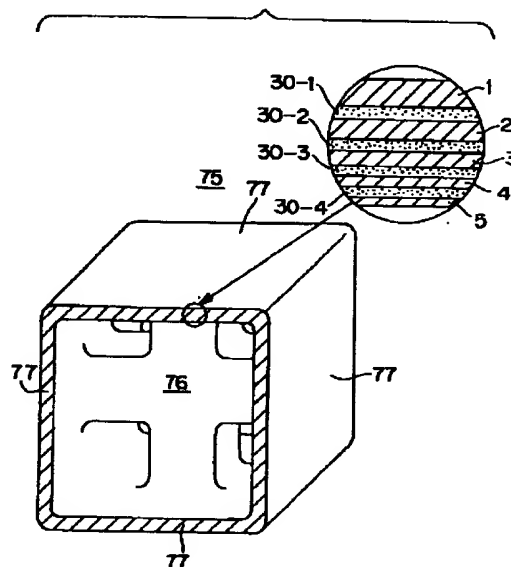
【図18】



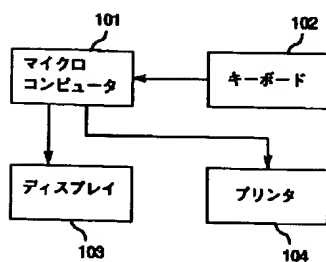
【図14】



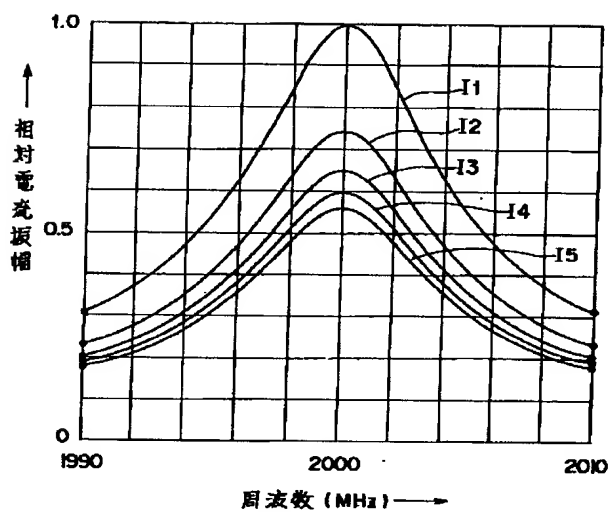
【図31】



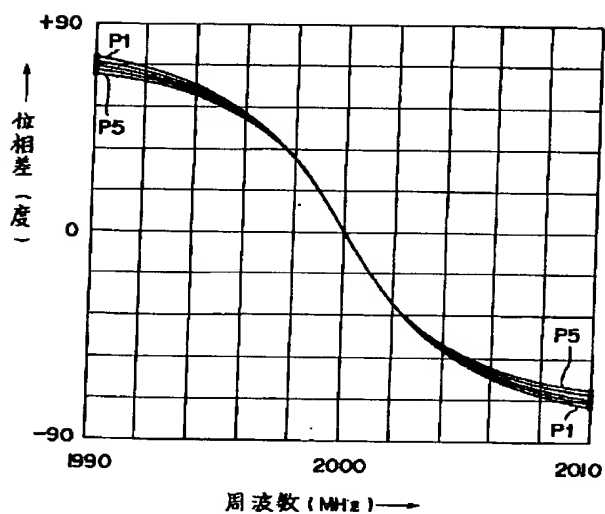
【図34】



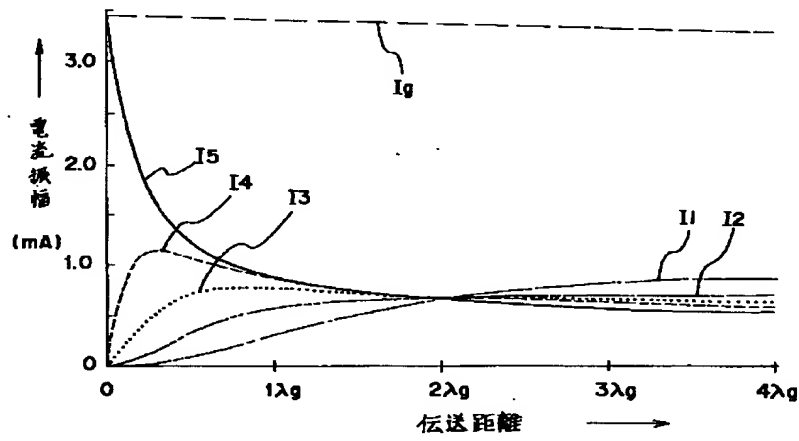
【図16】



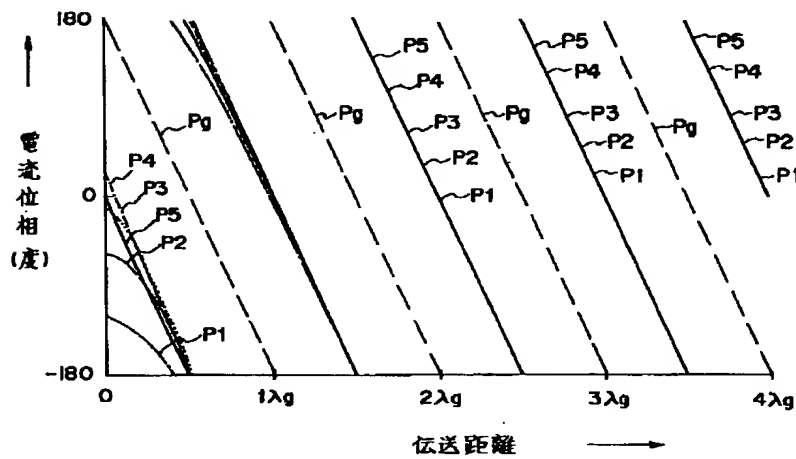
【図17】



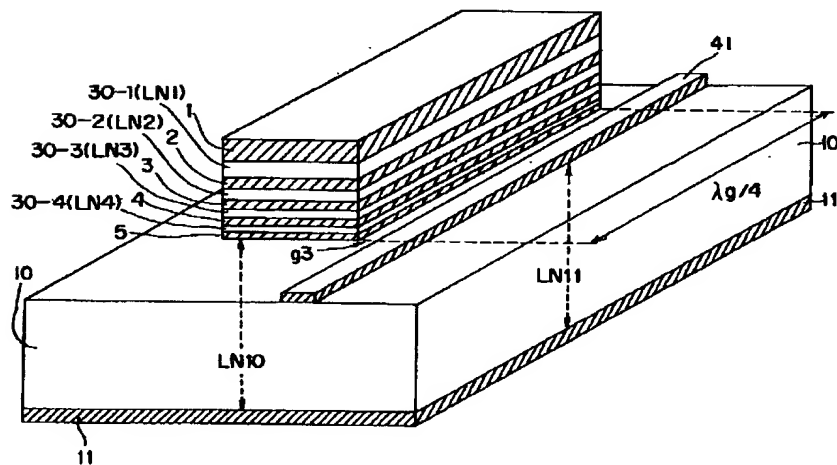
【図19】



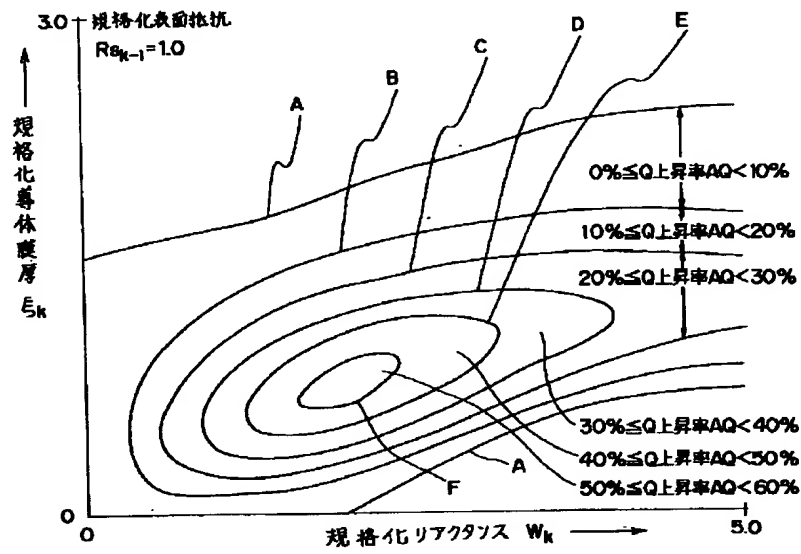
【図20】



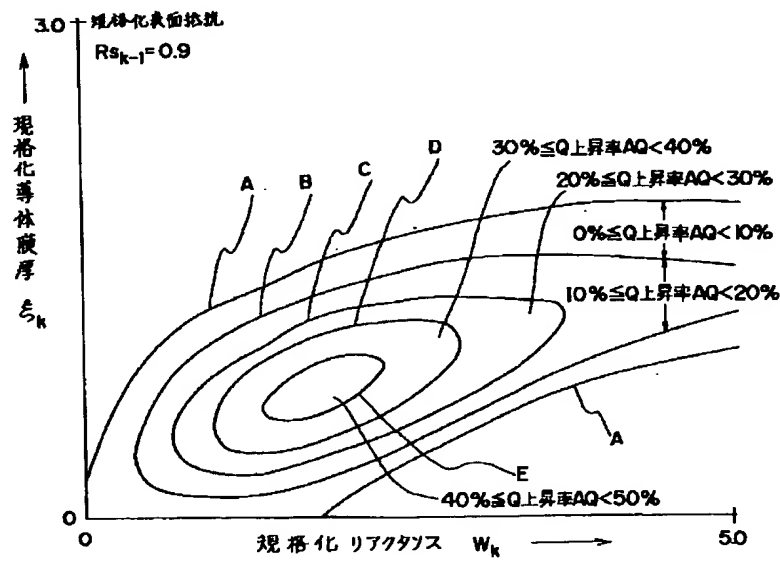
【図30】



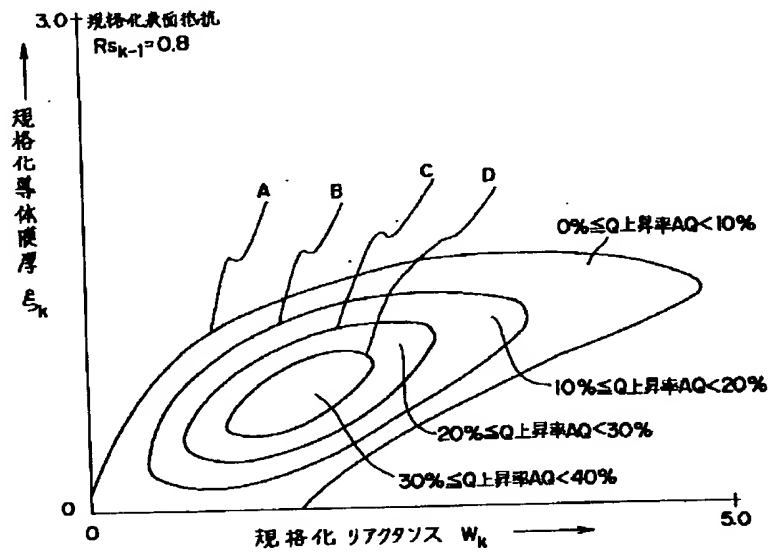
【図21】



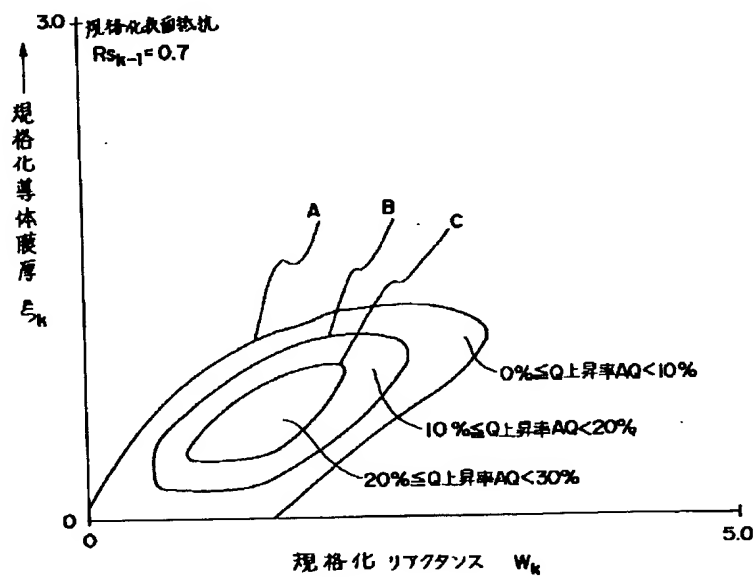
【図22】



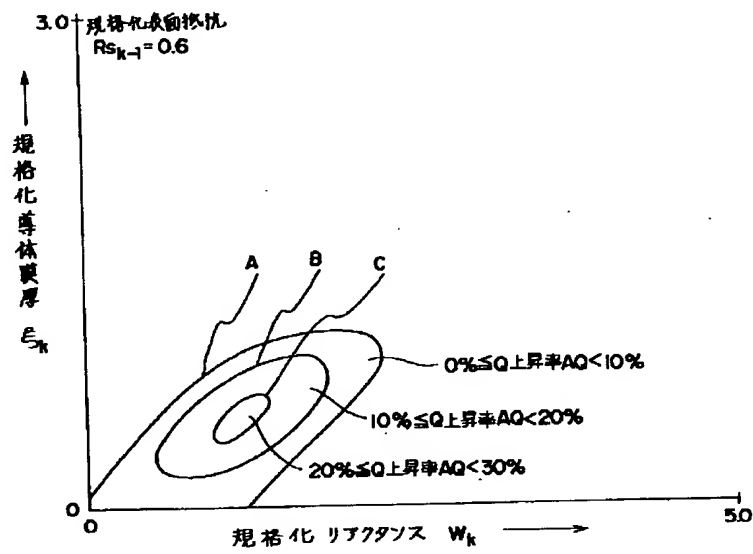
【図23】



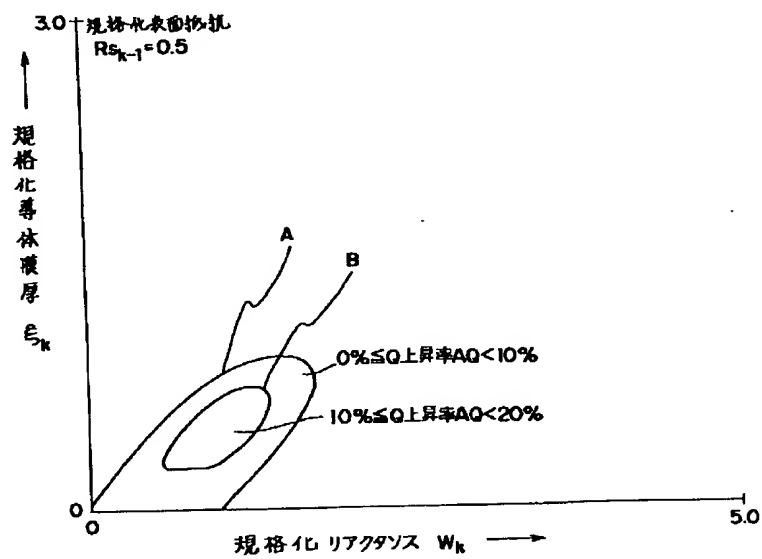
【図24】



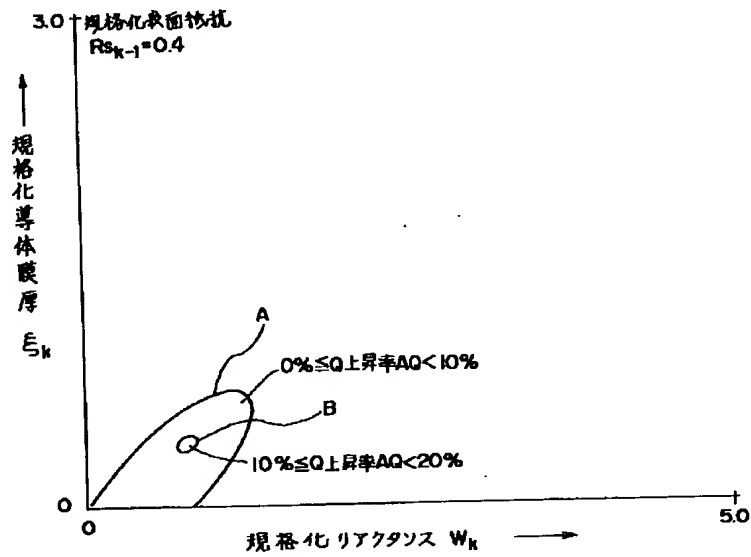
【図25】



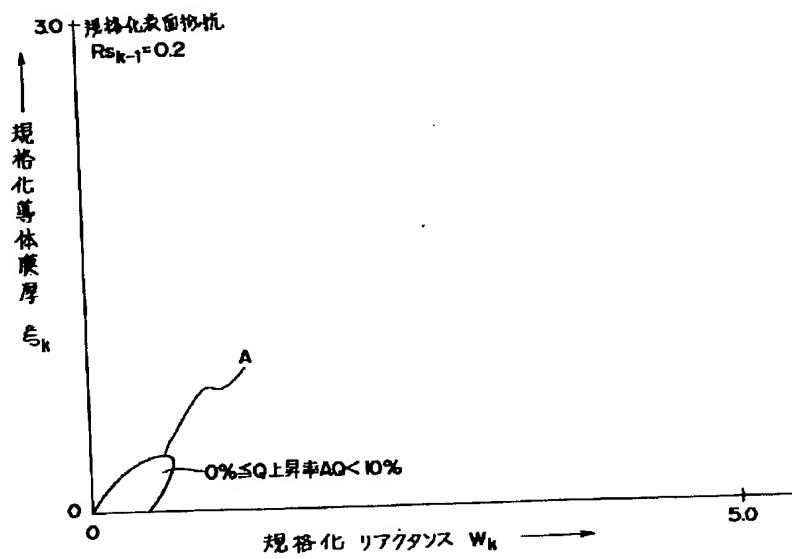
【図26】



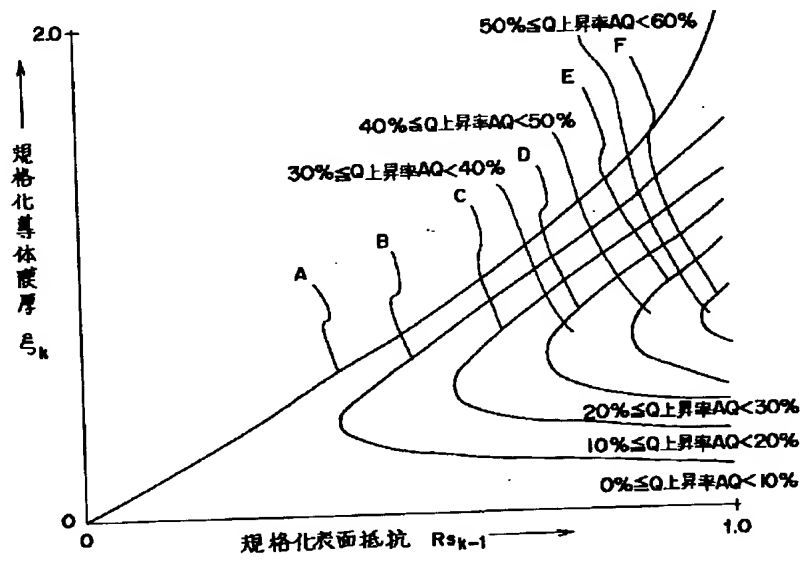
【図27】



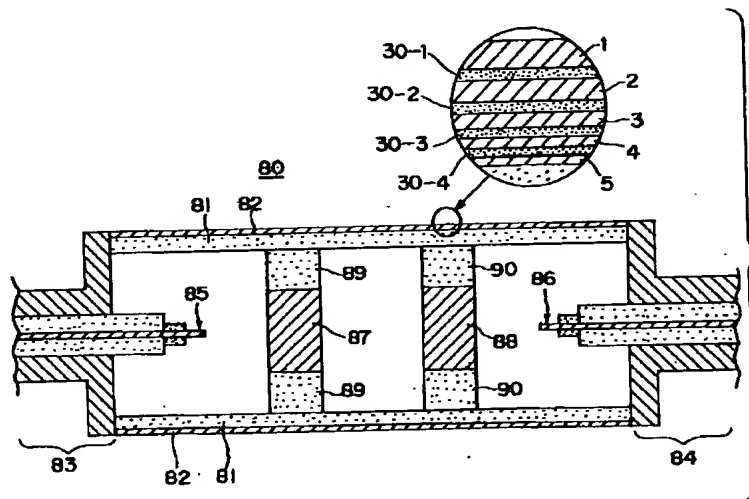
【図28】



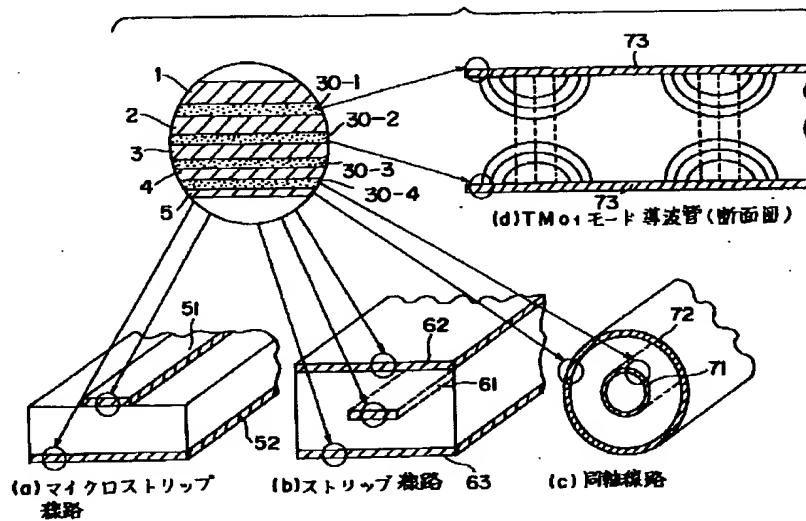
【図29】



【図32】



【図33】



フロントページの続き

(51)Int. Cl.⁶

H01P 7/08

7/10

識別記号

庁内整理番号

FI

技術表示箇所

F30

(72)発明者 後藤 義彦

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内